

## Resum

En aquest projecte s'expliquen quines són les propietats de l'efecte piezoelèctric i quines són les seves aplicacions en l'actualitat. Amb aquesta base es parteix a examinar de quines maneres es pot realitzar el control dels actuadors piezoelèctrics per tal de, més endavant, tenir-les en compte a l'hora de dissenyar i construir una bancada d'assaig que, a més, doni la possibilitat de treballar amb el màxim nombre de configuracions. Aquesta bancada pretén ser una eina per aprofundir en l'estudi i modelització dels actuadors piezoelèctrics així com de nous sistemes de control.

El disseny abraça l'electrònica de potència des de tres àrees diferents que, a la vegada, són les que han marcat la separació en capítols d'aquest treball: l'etapa de potència, on s'ha dissenyat i construït un convertidor estàtic de mig pont en H; l'etapa d'interfície, en la qual s'ha dissenyat una placa per a l'obtenció i digitalització de les mesures de les magnituds elèctriques de la bancada; i finalment, el sistema de control, que s'ha implementat en una FPGA per aprofitar la velocitat i versatilitat que ofereixen aquests dispositius electrònics. Aquesta tercera etapa és la que pren una part més important en el treball ja que s'explora l'ús de les FPGA per al control de convertidors i per tant, s'expliquen amb deteniment els blocs de programari implementats i l'estructura interna de la seva programació.

Finalment, amb el muntatge resolt es fa la posada en funcionament de la bancada. Es configura el sistema de control per tancar un llaç de control i es realitzen un seguit d'assajos dels quals s'obtenen els primers resultats de la bancada, d'on es poden extreure les conclusions i objectius per als futurs desenvolupaments.





# Sumari

<b>RESUM .....</b>	<b>1</b>
Llista de símbols .....	15
Subíndexs .....	16
Definició d'acrònims .....	16
<b>PREFACI .....</b>	<b>17</b>
Motivació .....	17
<b>INTRODUCCIÓ .....</b>	<b>19</b>
Objectius .....	19
Abast .....	20
<b>1. LA PIEZOELECTRICITAT .....</b>	<b>21</b>
1.1 Breu història .....	21
1.2 L'efecte piezoelèctric .....	22
1.3 Equacions constructives dels materials piezoelèctrics .....	23
1.4 Aplicacions dels materials piezoelèctrics .....	25
<b>2. CONTROL DELS ACTUADORS PIEZOELÈCTRICS .....</b>	<b>27</b>
2.1 Accionament d'actuadors piezoelèctrics en llaç obert .....	30
2.2 Accionament d'actuadors piezoelèctrics en llaç tancat .....	31
2.2.1 Llaç tancat de tensió: control de tensió als borns de l'actuador piezoelèctric .....	31
2.2.2 Llaç tancat de corrent: el control de càrrega elèctrica .....	32
2.3 El control digital de posició de l'actuador piezoelèctric .....	34
2.4 Simulació de l'operació de càrrega .....	35
<b>3. LA BANCADA D'ASSAIG .....</b>	<b>37</b>
3.1 L'etapa de potència .....	38
3.1.1 L'autotransformador .....	39
3.1.2 El convertidor de mig pont en H a la bancada .....	39



3.1.3 Els <i>drivers</i> aïllats .....	40
3.2 L'etapa d'interfície: la placa PiGA.....	43
3.2.1 Mesures de les magnituds de la placa PiGA.....	43
3.2.2 Mesures de corrent al piezoelèctric .....	45
3.2.3 Mesures de tensió als borns del piezoelèctric.....	45
3.2.4 Altres mesures .....	46
3.2.5 Convertidor analògic-digital de 16 bits en paral·lel.....	46
3.2.6 Convertidor digital-analògic de quatre canals .....	48
3.2.7 El sensor làser de deformació.....	49
3.3 L'etapa de control: l'FPGA .....	51
3.3.1 Elecció de la freqüència de commutació .....	53
<b>4. PROGRAMA DE CONTROL IMPLEMENTAT .....</b>	<b>57</b>
4.1 Estructura de la programació .....	58
4.2 Perifèrics generats .....	59
4.2.1 Generador de senyals PWM.....	60
4.2.2 ADC Paral·lel 16 bits .....	64
4.2.3 Convertidor Digital-Analògic (DAC) de 12 bits i 4 canals .....	67
4.2.4 Filtrat de les lectures.....	71
4.2.5 Comparador.....	74
4.2.6 Control .....	75
4.2.7 Unitat de sincronisme .....	77
4.3 Interconnexió dels perifèrics .....	81
<b>5. MUNTATGE I FUNCIONAMENT .....</b>	<b>83</b>
5.1 Muntatge de la bancada. Unió de les tres parts: potència, interfície i control. ....	83
5.2 Posada en funcionament.....	85
5.2.1 Comprovació del funcionament dels perifèrics .....	85
5.2.2 Funcionament del llaç de tensió amb un actuator piezoelèctric.....	88
<b>6. PRESSUPOST.....</b>	<b>89</b>
6.1 Material de la bancada .....	89
6.1.1 Etapa de potència.....	89
6.1.2 Placa de mesures PiGA.....	90
6.1.3 Cost total del material del prototip.....	90
6.2 Material de suport a la investigació i desenvolupament .....	91
6.2.1 Material auxiliar per al muntatge del prototip .....	91



6.2.2 Eines de mesura i suport de laboratori.....	91
6.2.3 Programari, llicències i suport informàtic .....	92
6.2.4 Bibliografia i documentació .....	92
6.2.5 Personal .....	92
<b>7. ESTUDI D'IMPACTE AMBIENTAL.....</b>	<b>93</b>
7.1 Materials utilitzats per la bancada .....	94
7.2 Energia requerida .....	94
7.2.1 Desenvolupament del projecte .....	94
7.2.2 Funcionament del sistema.....	95
7.3 Reciclatge .....	95
<b>CONCLUSIONS .....</b>	<b>97</b>
Treballs futurs .....	98
<b>AGRAÏMENTS .....</b>	<b>99</b>
<b>A. L'ETAPA DE POTÈNCIA .....</b>	<b>101</b>
A.1. L'autotransformador .....	101
A.2. El rectificador i el convertidor .....	102
A.3. Elecció de la topologia del convertidor .....	104
A.4. Els <i>drivers</i> aïllats per a l'accionament dels MOSFET .....	107
A.5. El sensor làser de deformació.....	108
A.6. La superfície d'assaig d'actuadors piezoelèctrics .....	109
<b>B. LA PLACA D'INTERFÍCIE PiGA .....</b>	<b>111</b>
B.1. El sensor de tensió als borns del piezoelèctric .....	112
B.2. Sensor de corrent que travessa l'actuador piezoelèctric.....	112
B.3. Els convertidors analògics-digitals .....	112
B.4. Conversió de analògica-digital a digital-analògica.....	114
B.5. Esquemes electrònics de la placa.....	116
<b>C. LA PLACA DE CONTROL DE L'FPGA.....</b>	<b>127</b>
C.1. Limitacions del control .....	127
C.2. El software de programació .....	130
<b>D. CODI DELS PERIFÈRICS IMPLEMENTATS EN L'FPGA .....</b>	<b>133</b>



D.1. Programació i estructura de les màquines d'estats finits.....	134
D.2. Codi de programa del bloc PWM (Pulse Width Modulation) .....	138
D.3. Codi de programa del bloc ADC: Convertidor analògic-digital de 16 bits en paral·lel .....	142
D.4. Codi de programa del bloc DAC: Convertidor digital-analògic de 12 bits i quatre canals.....	145
D.5. Codi de programa del bloc del Filtre de dades .....	151
D.6. Codi de programa del bloc Comparador.....	153
D.7. Codi de programa del bloc de Control.....	154
D.8. Codi de programa del bloc de la Unitat de sincronització i control del procés.....	156
D.9. L'arxiu MHS de configuració de maquinari.....	160
D.10. L'arxiu UCF de configuració dels pins d'entrada/sortida.....	166
 E. TREBALLS REALITZATS ANTERIORMENT.....	 169
 BIBLIOGRAFIA .....	 171
Referències en el text.....	171
Altres referències bibliogràfiques .....	172



## Índex de figures

Figura 1.1: Polarització del compost ceràmic per dotar-lo de piezoelectricitat i cicle d'histèresi de la polarització [elaboració pròpia] .....	22
Figura 1.2: Deformació dels actuadors piezoelèctrics segons la polarització i la seva combinació [2] .....	23
Figura 2.1: Circuit elèctric equivalent d'un actuator piezoelèctric [5] .....	27
Figura 2.2: Mòdul i fase de la impedància d'un element piezoelèctric per diferents valors de $R_1=\{0,1\ \Omega, 1\ \Omega, 10\Omega\}$ i $C_1=1\mu F, L_1=0,1mH, C_0=0,1\mu F$ [3] .....	28
Figura 2.3: Comparació de la deformació d'un actuator piezoelèctric entre sistemes en llaç obert (amb histèresi) i llaç tancat [4] .....	30
Figura 2.4: Accionament d'actuadors piezoelèctrics en llaç obert .....	31
Figura 2.5: Accionament en llaç tancat .....	31
Figura 2.6: Implementació dels sistemes de control de posició en llaç tancat a partir del control de tensió als borns de l'element piezoelèctric .....	32
Figura 2.7: Implementació dels sistemes de control de posició en llaç tancat a partir del control de la càrrega elèctrica injectada a l'element piezoelèctric .....	33
Figura 2.8: Blocs interns dels controls en llaç obert i llaç tancat de tensió i posició .....	34
Figura 2.9: Esquema elèctric de la simulació de càrrega de l'element piezoelèctric .....	35
Figura 2.10: Corrent (vermell) que circula per la càrrega capacitiva davant d'una rampa de tensió (blau) de 400V incrementant-se a raó de 60V/ $\mu s$ .....	35
Figura 3.1: Esquema de blocs de la bancada d'assaig.....	37
Figura 3.2: Organització dels blocs del sistema en llaç obert en les etapes de la bancada .....	37
Figura 3.3: Ubicació de les tres etapes del sistema en llaç tancat en el diagrama de blocs.....	38



Figura 3.4: Passos per a la conversió de la energia elèctrica.....	38
Figura 3.5: Diagrama de blocs de les conversions de l'energia elèctrica en l'etapa de potència	39
Figura 3.6: Esquema del convertidor amb els components elegits .....	39
Figura 3.7: Esquema complet de l'etapa de potència.....	40
Figura 3.8: Díode i capacitats paràsites en un transistor MOSFET .....	41
Figura 3.9: Els drivers en l'esquema del convertidor. ....	41
Figura 3.10: Etapa d'interfície col·locada entre la potència i el control.....	44
Figura 3.11: Etapes d'adquisició, amplificador i conversió de les mesures de tensió. ....	48
Figura 3.12: Etapes d'adquisició, amplificació i conversió del senyal de corrent .....	48
Figura 3.13: Principi de funcionament del sensor làser de deformació [10].....	49
Figura 3.14: Disposició interna de les cel·les lògiques i les unitats de maquinari de l'interior d'una FPGA Spartan-3.....	52
Figura 3.15: Resolució del PWM i freqüències de commutació .....	55
Figura 3.16: Relació entre el nombre de cops de rellotge i la freqüència del PWM .....	56
Figura 4.1: Jerarquia d'estructures en el llenguatge de programació de maquinari VHDL .....	58
Figura 4.2: Diferents configuracions dels commutadors del pont en H.....	60
Figura 4.3: Curtcircuits provocats pels retards entre les operacions de tall i conducció en els transistors .....	61
Figura 4.4: Anul·lació dels curtcircuits amb la incorporació dels temps morts.....	61
Figura 4.5: Esquema del bloc PWM.....	62
Figura 4.6: Generació del senyal PWM a partir de comparar una rampa amb el cicle de treball .....	63
Figura 4.7: Esquema de blocs del programari de PWM .....	63
Figura 4.8: Esquema del bloc del convertidor analògic-digital (ADC) de 16bit.....	65





Figura 4.9: Fases de la màquina d'estats en el diagrama temporal de l'ADS8401 .....	65
Figura 4.10: Representació de les sortides a cada estat .....	66
Figura 4.11: Esquema de blocs del programari de l'ADC de 16bit en paral·lel.....	67
Figura 4.12: Esquema del convertidor digital-analògic (DAC) de 12bit i 4 canals .....	68
Figura 4.13: Diagrama de blocs del programari del DAC de 12bit .....	70
Figura 4.14: Representació de les sortides de cada estat i les transicions entre ells .....	71
Figura 4.15: Mostreig del senyal de corrent i filtrat per obtenir un valor representatiu del període.....	72
Figura 4.16: Esquema del filtre de valors de 16bit .....	72
Figura 4.17: Blocs interns del programari del FILTRE .....	73
Figura 4.18: Esquema del bloc comparador de valors de 16bit .....	74
Figura 4.19: Diagrama de blocs del programari del bloc Comparador .....	75
Figura 4.20: Esquema del bloc de control del sistema.....	76
Figura 4.21: Esquema de blocs amb els processos interns del bloc de control .....	77
Figura 4.22: Esquema de la unitat de sincronisme del sistema de control .....	78
Figura 4.23: Diagrama temporal de la successió d'estats de la unitat de sincronisme.....	80
Figura 4.24: Diagrama de blocs del programari implementat per la unitat de sincronisme ....	80
Figura 4.25: Implementació del llaç de control de la tensió als borns de l'actuador piezoelèctric .....	81
Figura 5.1: Fotografia del prototip de bancada .....	84
Figura 5.2: Sistema de control en llaç tancat de la tensió en borns del piezoelèctric .....	84
Figura 5.3: Sistema de control amb l'adaptació per a l'entrada de la consigna de tensió .....	85
Figura 5.4: Captura de pantalla de les proves realitzades al DAC amb senyals d'entrada d'1kHz i 10kHz.....	86



Figura 5.5: Captura de la generació de senyals PWM davant d'una consigna sinusoidal a 1kHz i 10kHz .....	86
Figura 5.6: Captura de la generació dels dos senyals PWM davant d'una consigna sinusoidal a 1kHz i 10kHz emulant una tensió no nul·la en borns de l'actuador piezoelèctric .....	87
Figura 5.7: Captures del comportament de l'actuador piezoelèctric davant d'una entrada sinusoidal a 200Hz i 1kHz .....	88
Figura A.1: Fotografia de l'autotransformador i la seva placa de característiques .....	101
Figura A.2: Invariabilitat de la tensió al bus de contínua (magenta) davant les injeccions de càrrega per a l'actuador piezoelèctric.....	102
Figura A.3: Etapa de potència: el rectificador i el convertidor de potència .....	103
Figura A.4: Fases de càrrega de l'actuador piezoelèctric.....	104
Figura A.5: Fases de descàrrega de l'actuador piezoelèctric.....	105
Figura A.6: Tensions i corrents a través dels commutadors .....	105
Figura A.7: Components semiconductors amb la seva característica estàtica .....	106
Figura A.8: diferents transistors amb un díode en antiparal·lel.....	106
Figura A.9: Esquema elèctric del convertidor estàtic amb els components elèctrics adequats	107
Figura A.10: Placa de "drivers" SQUIM, on només s'utilitzen les dues sortides inferiors de les sis disponibles.....	108
Figura A.11: Fotografia del sensor làser de deformació enfocant a la làmina de plàstic de l'extrem de l'actuador piezoelèctric .....	108
Figura A.12: Fotografia de la base per enclavar els actuadors piezoelèctrics per al seu assaig .	109
Figura B.1: Fotografia de la placa d'interfície PiGA .....	111
Figura B.2: Fotografia de la placa PiGA on s'hi indica la funció que es realitza a cada sector	111
Figura B.3: Amplificador aïllat utilitzat per les mesures de tensió.....	112
Figura B.4: Transductor de corrent que s'ha utilitzat a la placa PiGA.....	112



Figura B.5: Correlació de la tensió de sortida de la sonda de corrent (blau) i el corrent real que la travessa(vermell) .....	113
Figura B.6: Correlació dels valors digitalitzats respecte el corrent $I_p$ que travessa l'actuador piezoelèctric. ....	113
Figura B.7: Ampliació del senyal del DAC (verd) seguint una sinusoide a 10kHz.....	114
Figura B.8: Aparició d'aliasing en el senyal reconstruït en el DAC per una consigna a 100kHz .....	115
Figura B.9: Senyal de sortida del DAC seguint una sinusoide d'1MHz .....	115
Figura B.10: Senyals de la comunicació sèrie que envia l'FPGA al DAC.....	115
Figura C.1: Fotografia de la placa Spartan-3 Starter Board que conté l'FPGA de Xilinx .....	127
Figura C.2: Resposta del senyal PWM davant d'una consigna sinusoidal de 20kHz .....	128
Figura C.3: Resposta dels senyals de PWM per una consigna de 50kHz.....	128
Figura C.4: Assaig amb una consigna a 100kHz, igual que la freqüència de commutació ....	129
Figura C.5: Captura de pantalla de l'entorn del Xilinx Platform Studio.....	130
Figura C.6: Captura de pantalla del programa Xilinx PACE per a la configuració dels ports d'entrada/sortida .....	131
Figura C.7: Captura de pantalla del programa Xilinx FloorPlaner on s'hi mostra la distribució espacial del programa de la bancada .....	132
Figura D.1: Flux de programació en VHDL [font: Xilinx Speedway 2009] .....	133





## Índex de taules

Taula 3.1: Resolució del PWM i freqüències de commutació .....	55
Taula 3.2: nombre de divisions, freqüència i errors segons la resolució del PWM.....	56
Taula 4.1: Durada i marca d'inici de l'activitat en els perifèrics .....	79
Taula 6.1: Cost del material utilitzat en l'etapa de potència.....	89
Taula 6.2: Cost dels components electrònics per a la placa PiGA de l'etapa d'interfície .....	90
Taula 6.3: Cost total del material de la bancada .....	90
Taula 6.4: Cost del material auxiliar (elèctric, soldadura, seguretat) utilitzat a la bancada.....	91
Taula 6.5: Amortització del cost dels instruments de mesura i de laboratori .....	91
Taula 6.6: Costos relacionats amb el material informàtic amb el programari i llicències .....	92
Taula 6.7: Cost de la bibliografia de referència adquirida per a la documentació .....	92
Taula 6.8: Costos del personal de l'oficina tècnica.....	92
Taula A.1: Estat dels commutadors durant la càrrega i descàrrega de l'actuador.....	105





# Glossari

## Llista de símbols

- $\epsilon_0$ : permitivitat del buit ( $8.85 \times 10^{-12} \text{F/m}$ )
- $\epsilon_r$ : permitivitat relativa (constant dielèctrica)
- $A_p$ : àrea de l'elèctrode de l'element piezoelèctric
- $C_p$ : capacitat de l'element piezoelèctric
- $d_s$ : distància entre els elèctrodes d'un element piezoelèctric
- $E_E$ : camp elèctric entre els elèctrodes d'un condensador
- $F_{CLK}$ : freqüència de rellotge del sistema.
- $F_{PWM}$ : freqüència de commutació del PWM
- $F_s$ : *sampling frequency*. Freqüència de mostreig
- $I_p$ : corrent a través de l'actuador piezoelèctric
- $i_p$ : corrent que circula a través d'un element piezoelèctric
- $k_d$ : coeficient d'acoblament de l'efecte piezoelèctric directe
- $k_{divR}$ : constant del divisor resistiu
- $k_i$ : coeficient d'acoblament de l'efecte piezoelèctric invers
- $n_c$ : nombre de capes de l'element piezoelèctric
- $q_p$ : càrrega elèctrica emmagatzemada en un element piezoelèctric
- $T_{CLK}$ : període de rellotge del sistema.
- $T_{d(off)}$ : *off delay time*, temps que necessita un transistor per passar de tall a conducció
- $T_{d(on)}$ : *on delay time*, temps que necessita un transistor per passar de tall a conducció
- $T_{OFF}$ : temps durant el qual el senyal PWM està a nivell baix o inactiu.
- $T_{ON}$ : temps durant el qual el senyal PWM està a nivell alt o actiu.
- $T_{PWM}$ : període de commutació del PWM
- $T_s$ : *sampling period*. Període de mostreig
- $V''_{vp}$ : tensió a la sortida del divisor resistiu
- $V_{ip}$ : tensió a la sortida del transductor de corrent
- $V_{vp}$ : tensió a la sortida de l'amplificador d'aïllament



$V_{at}$ : tensió a la sortida de l'autotransformador

$V_C$ : tensió a la sortida del convertidor estàtic d'energia elèctrica

$V_{DC}$ : tensió del bus de contínua

$V_f$ : tensió de la xarxa a l'entrada del sistema

$V_{fp}$ : tensió a la sortida de l'etapa d'amplificació, prèvia a la conversió a digital

$V_p$ : tensió a l'actuador piezoelèctric

$v_p$ : tensió als borns d'un element piezoelèctric

$V_{vp}$ : tensió a la sortida de l'etapa d'amplificació, prèvia a la conversió a digital

$x^*$ : posició de consigna de l'actuador piezoelèctric

$x$ : posició de l'actuador piezoelèctric

### Subíndexs

P (majúscula): s'usa per referir-se a qualsevol magnitud que afecta a l'actuador piezoelèctric

p (minúscula): s'usa en magnituds relacionades amb l'actuador piezoelèctric però que no l'afecten directament. Principalment s'usa en transformacions de les lectures de dades reals

### Definició d'acrònims

ADC: *Analog-to-Digital Converter*, convertidor analògic-digital

ASIC: *Application Specific Integrated Circuit*

DAC: *Digital-to-Analog Converter*, convertidor digital-analògic

DCM: *Digital Clock Manager*, gestor digital del rellotge

DSP: *Digital Signal Processor*, processador de senyals digitals

FPGA: *Field Programmable Gate Array*, matriu de portes programables en camp

LUT: *Look Up Table*, taula de consulta

MOSFET: *Metal Oxide Semiconductor Field Effect Transistor*,

PID: Proporcional, Integral, Derivatiu

PSD: *Position Sensitive Detector*, detector de posició sensible

PWM: *Pulse Width Modulation*, modulació per amplada de polsos

RAM: *Random Access Memory*, memòria d'accés aleatori

ROM: *Read Only Memory*, memòria només de lectura

SR: *Slew rate*, velocitat de variació

VHDL: *VHSIC Hardware Description Language*

VHSIC: *Very High Speed Integrated Circuit*





## Prefaci

El treball amb materials piezoelèctrics involucra molts camps de la ciència. Alguns d'ells són la química i la ciència de materials, que són clau per a la recerca de nous materials amb aquestes propietats o, sintetitzar-ne de nous amb cada vegada millors propietats piezoelèctriques; la mecànica, encarregada de dissenyar nou aparellatge per tal d'adaptar i amplificar el petit desplaçament que s'obté dels actuadors piezoelèctrics; la metrologia, que intervé en el disseny de nous sistemes de mesura, etcètera. El present projecte està centrat entre els camps de l'electrotècnia i l'electrònica, i obre les portes a l'enginyeria de control i a estudiar nous algorismes per a la regulació i control d'aquests convertidors electromecànics tan particulars.

### Motivació

La introducció de l'FPGA per implementar l'algorisme de control de la bancada és l'eix al voltant del qual gira la major part d'aquest projecte. El fet d'incorporar aquests dispositius electrònics i entrar en la tecnologia de la lògica programable no només ha estat un repte a nivell personal, sinó que també es pretén afegir un gra de sorra en la introducció d'aquesta tecnologia a l'electrònica de potència i, en definitiva, a la indústria. És per això que tot el que fa referència a la programació rep tanta importància dins del projecte, ocupant-ne un capítol sencer.

Aquest projecte s'ha desenvolupat al Centre d'Innovació en Convertidors Estàtics i Accionaments (CITCEA – UPC), en el Departament d'Energia Elèctrica de la Universitat Politècnica de Catalunya. En aquest centre ja s'hi ha realitzat projectes utilitzant FPGA, i aquest treball és, en part, una continuació dels treballs amb materials piezoelèctrics que s'havia realitzat. Un dels reptes principals doncs, és obtenir resultats satisfactoris en l'amalgama d'aquestes dues tecnologies i millorar les prestacions del que s'havia treballat en les ocasions anteriors.





## Introducció

L'aparició de materials piezoelèctrics en la vida quotidiana cada cop és major: als micròfons i altaveus, als encenedors, als focus automàtics de les càmeres digitals, en els capçals d'impressores, etc. En l'àmbit industrial també hi apareixen i, tot i que en formats diferents, en molts casos realitzen aplicacions similars: sensors i emissors de vibracions, micromotors lineals i rotatius, entre moltes altres. En els darrers anys els piezoelèctrics també han intervingut en el camp dels *cultius d'energia* (*energy harvesting*) amb algunes proves realitzades pel MIT [1] en estacions de tren on s'acumula l'energia convertida a elèctrica a partir de l'energia mecànica generada pels transeünts en caminar per les andanes.

Actualment es té un bon coneixement de l'efecte piezoelèctric i en els darrers anys, amb els avanços en l'electrònica i el control, el seu camp d'aplicació s'ha estès de manera espectacular. Amb l'objectiu de miniaturitzar cada cop més els accionaments mecànics, la indústria especialitzada està treballant per obtenir productes per a més aplicacions i amb més bones prestacions. Tot i això, el paper dels actuadors piezoelèctrics a la indústria encara no està totalment definit ja que calen certes millores pel que fa al control del seu desplaçament. Mitjançant la combinació de noves tecnologies, es vol aportat una eina que ha de servir com a bancada d'assaig per a l'experimentació amb actuadors piezoelèctrics, ja sigui per a parametritzar i caracteritzar-los com per fer assajos i comprovar l'aplicació de noves estratègies de control.

### Objectius

L'objectiu general del projecte és el disseny i construcció d'una bancada per a l'assaig d'actuadors piezoelèctrics.

A més, com a part del projecte es consideren els següents tres objectius secundaris:

- Disseny d'un convertidor estàtic d'energia elèctrica que treballi a alta freqüència.
- Introduir-se en el treball amb FPGA i desenvolupar el codi de programa per a la comunicació i interacció de les diferents parts de la bancada.
- Realitzar la posada en funcionament del banc d'assaig implementant un llaç de control amb l'FPGA.



## **Abast**

En el projecte s'han desenvolupat els següents punts:

- Estudi teòric dels materials piezoelèctrics.
- Tipologies de control per als actuadors piezoelèctrics.
- Distinció de les parts que formen el sistema i disseny per separat de cada una d'elles.
- Programació del codi en VHDL per a la interconnexió de totes les parts del sistema.
- Simulació dels blocs de codi implementats a l'FPGA per verificar el seu funcionament.
- Muntatge de la bancada d'assaig.
- Comprovació del funcionament conjunt i de les diferents parts del prototipus.



# Capítol 1

## 1. La piezoelectricitat

### 1.1 Breu història

El mot *piezoelectricitat* es forma a partir de la unió de dues paraules: *piezein*, que prové del grec i significa prémer o estrènyer, i *electricitat*, amb el que es té una vaga idea del seu significat. Les primeres demostracions de què existia una relació directa entre fenòmens mecànics i elèctrics en certs tipus de materials van ser publicades el 1880 pels germans Curie. La seva publicació explicava que, en certs materials formats per una estructura interna cristal·lina no simètrica hi apareixia una diferència de potencial en els seus extrems quan es deformaven per l'aplicació d'una pressió externa. Aquest fenomen va ser considerat tot un descobriment per la comunitat científica de l'època i, només un any més tard, el 1881, a partir de teories fonamentals de la termodinàmica Lippman el va deduir matemàticament i, a més, va donar explicació al que es va anomenar *efecte piezoelèctric invers*, que consisteix en deformar el material cristal·lí aplicant-li una diferència de potencial entre dues de les seves cares.

Aviat es van començar a identificar materials que tenien aquesta propietat piezoelèctrica, però no van tenir les seves primeres aplicacions serioses fins la I Guerra Mundial, on es van usar en els primers detectors d'ultrasons pels submarins: els sonars. A partir d'aquí, aquests materials van anar entrant cada cop en més aplicacions: micròfons, acceleròmetres, filtres de senyals, transductors ultrasònics, etc. Va ser, però, durant la II Guerra Mundial, que el descobriment de nous materials amb propietats piezoelèctriques 100 vegades majors als anteriors i de fàcil sintetització, va obrir les portes a la veritable expansió de l'ús d'aquests materials.

Mentre a Estats Units encara es mantenia el secretisme de la guerra llançant patents per qualsevol aplicació: capçals per tocadiscos, sistemes d'ignició amb piezoelèctrics, micròfons de mides reduïdes, relés, etc. , el Japó va començar a investigar en aquest camp d'una manera més oberta: sense patents. Així, la indústria japonesa de seguida va progressar en múltiples camps i es va establir com a capdavantera en aquest camp. L'aplicació en els filtres de senyals els va impulsar en l'expansió de la ràdio i la televisió; a més, els encenedors per als aparells de gas, brunzidors, transductors d'ultrasons, filtres SAW (*Surface Acoustic Wave*) són altres elements amb origen al Japó. En les darreres dècades i, en part, gràcies a l'espectacular millora en els

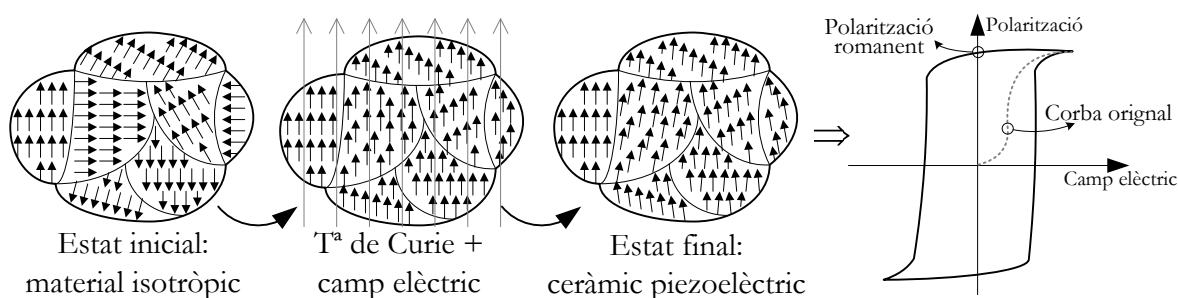


sistemes electrònics de mesura i control, s'està registrant de nou un increment mundial de patents relacionades amb les aplicacions de materials piezoelèctrics. Amb la conjunció d'ambdues tecnologies és d'esperar que en els materials piezoelèctrics seran de gran importància en un futur proper.

## 1.2 L'efecte piezoelèctric

L'efecte piezoelèctric apareix en materials d'estructura cristal·lina asimètrica. Dels trenta-dos tipus cristal·logràfics que es coneixen, n'hi ha vint-i-un que no tenen centre de simetria i, d'aquests, vint hi tenen la piezoelectricitat directament relacionada. Sembla clar, doncs, que la diferència de potencial que apareix en un material d'aquest tipus en comprimir-lo, està estretament relacionat amb el desequilibri de les càrregues provocat per la deformació de l'estructura cristal·lina que el forma i produint el que es coneix com a efecte piezoelèctric.

Aquestes propietats les tenen alguns materials cristal·lins obtinguts directament de la natura com el quars, turmalina o la sal de La Rochelle, etc. però la seva capacitat piezoelèctrica és molt baixa en comparació amb les ceràmiques ferroelèctriques policristal·lines com el titanat de bari i el titanat-zirconat de plom (PZT), que són els més estesos i amb més aplicacions com a actuadors que hi ha actualment. Aquests materials, però, han de rebre un tractament de polarització per a dotar-los de piezoelectricitat (Figura 1.1). Aquest procés es basa en donar la mateixa orientació a tots els dipols que formen dominis de Weiss que constitueixen material. Elevant la temperatura per sobre la temperatura de Curie, és possible modificar l'orientació de la polaritat dels dominis de Weiss. Un cop es supera aquesta temperatura, degut a la naturalesa ferroelèctrica d'aquests materials, és possible reorientar tots els dipols del material en una mateixa direcció solament aplicant un camp elèctric sobre el material. Mantenint aquest camp elèctric i tornant el material a la temperatura ambient s'aconsegueix que aquest material de naturalesa ceràmica hagi obtingut la propietat de la piezoelectricitat.



*Figura 1.1: Polarització del compost ceràmic per dotar-lo de piezoelectricitat i cicle d'histeresi de la polarització [elaboració pròpia]*

Aquesta polarització serà la que definirà el signe de la diferència de potencial que apareix als extrems del material en deformar-lo i viceversa: segons la polaritat de la tensió aplicada als seus extrems el material s'allargarà o es contraurà. Per tant, la direcció de polarització és un factor



important a conèixer a l'hora de treballar amb actuadors piezoelèctrics ja que, una tensió amb la mateixa polaritat que la direcció de polarització del material provocarà el seu allargament, però en canvi, en aplicar una tensió negativa, el material es contraurà.

En un material piezoelèctric, la direcció de la deformació és única, però utilitzant aquesta propietat de manera intel·ligent es poden crear combinacions de capes de material piezoelèctric que permetin realitzar deformacions en direccions que per si soles no es produirien. Això passa sobretot en el cas dels actuadors piezoelèctrics laminars on, aprofitant que una làmina es contrau i l'altra s'allarga, es poden aconseguir curvatures com les de la figura següent en subministrar polaritats diferents entre les capes externes de cada actuator piezoelèctric.

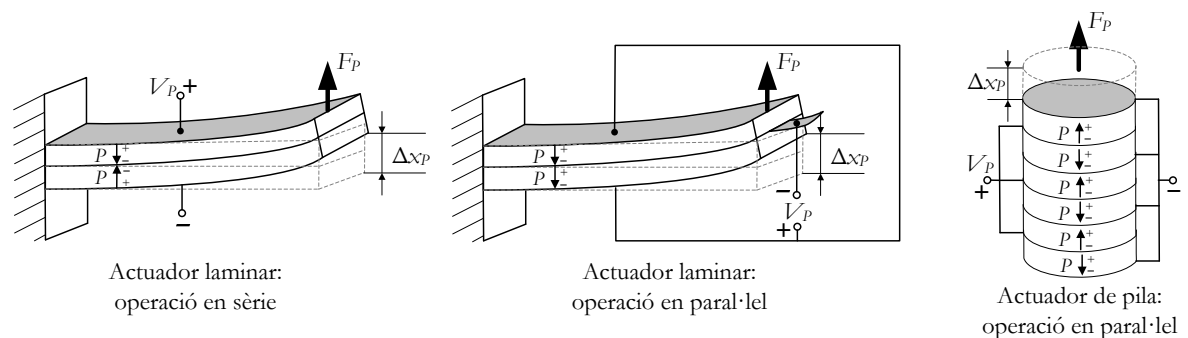


Figura 1.2: Deformació dels actuadors piezoelèctrics segons la polarització i la seva combinació [2]

A la figura anterior també s'hi observen les diferències constructives entre els actuadors de tipus pila i els laminars. Tot i que el principi és el mateix, s'aconsegueixen resultats ben diferents: en la combinació d'actuadors de pila s'obtenen variacions de longitud d'entre micres i desenes de micres però forces compreses entre els centenars i milers de Newton que, ja sigui combinats amb amplificadors mecànics o no, són de gran utilitat per a accionar grans càrregues mecàniques, mentre que en la combinació d'actuadors laminars s'obtenen deformacions d'entre centenars i milers de micres però forces inferiors al Newton, que tenen aplicació on l'amplitud de la deformació preval per sobre de la força.

### 1.3 Equacions constructives dels materials piezoelèctrics

Les equacions constructives que combinen les tensions amb la deformació del material tenen la mateixa forma que les que defineixen la circulació del corrent elèctric, descrivint com es mouen les càrregues quan s'aplica una tensió determinada i viceversa. Primerament, per a la part mecànica, es pot relacionar la deformació amb la tensió mitjançant la següent equació (lleï de Hooke):



$$S = s \cdot T \quad (1.1)$$

on  $S$  és la deformació produïda (adimensional),  $s$  és la inversa de la rigidesa  $((\text{N/m}^2)^{-1})$  i  $T$  la pressió aplicada  $(\text{N/m}^2)$ . Per altra part, l'equació elèctrica equivalent és la següent:

$$D = \varepsilon \cdot E \quad (1.2)$$

amb  $D$  essent el desplaçament elèctric  $(\text{C/m}^2)$ ,  $\varepsilon$  la permitivitat relativa i  $E$  el camp elèctric  $(\text{V/m})$ . Aquestes dues equacions poden combinar-se donant lloc a la següents relacions entre la càrrega i la deformació:

$$D = dT + \varepsilon^T E \quad (1.3)$$

$$S = s^E T + d^t E$$

$$E = -gT + (\varepsilon^T)^{-1} D \quad (1.4)$$

$$S = s^D T + gD$$

on,  $d$  i  $g$  són matrius de coeficients piezoelèctrics ( $d = \varepsilon_r \cdot \varepsilon_0 \cdot g$ ),  $\varepsilon^T$  és la permitivitat sota pressió ( $T$ ) constant,  $s^E$  és la inversa de la constant elàstica en camp elèctric ( $E$ ) constant,  $D$  és el desplaçament elèctric i  $S$ , la deformació mecànica. Els superíndexs  $E$  i  $T$  signifiquen les condicions en les que han estat mesurats els coeficients  $s$  i  $\varepsilon$  respectivament; en canvi, el superíndex  $t$  indica la transposada de la matriu de coeficients  $d$ .

Les constants  $d$  i  $g$  tenen un sentit físic important per relacionar la deformació amb la pressió i el camp aplicat o generat. En l'efecte piezoelèctric directe,  $d$  representa la densitat de càrrega generada  $(\text{C/N})$  i  $g$  és el camp elèctric generat  $(\text{V} \cdot \text{m/N})$  per unitat de força. En l'efecte piezoelèctric invers,  $d$  representa la deformació produïda per unitat de tensió aplicada  $(\text{m/V})$  i  $g$  és la deformació desenvolupada per la densitat de càrrega aplicada  $(\text{m}^2/\text{C})$ . Els valors d'aquestes constants seran importants a l'hora de determinar si un piezoelèctric és apte o no per certa aplicació. D'igual importància serà el coeficient d'acoblament  $k$  que indica la quantitat d'energia elèctrica que es transforma en mecànica segons si es produeix l'efecte piezoelèctric invers ( $k_i$ ) o directe ( $k_d$ ) respectivament :

$$k_i = \sqrt{\frac{\text{Energia mecànica emmagatzemada}}{\text{Energia elèctrica aplicada}}} \quad (1.5)$$

$$k_d = \sqrt{\frac{\text{Energia elèctrica emmagatzemada}}{\text{Energia mecànica aplicada}}}$$





## 1.4 Aplicacions dels materials piezoelèctrics

Les aplicacions que es poden donar als materials piezoelèctrics són tantes perquè tenen la característica de ser els únics transductors elèctrics-mecànics de molt petites dimensions i que assolixen rendiments tan alts en la conversió d'energia. Un dels problemes és que el moviment que són capaços de realitzar és molt petit, inferior al 2% de la longitud total, però ho compensa la gran força que poden arribar a desenvolupar, de fins a diverses tones, fent-los uns dels actuadors amb un dels millors ratis força/massa.

En l'actualitat moltes de les aplicacions a les que es destinen aquests actuadors és a l'accionament de micro motors rotatius i lineals. Les seves mides reduïdes permeten col·locar-los entre l'estator i el rotor i gràcies a la precisa i ordenada excitació de les làmines de material piezoelèctric s'aconsegueix donar moviment relatiu a aquestes dues parts per fer-los girar o desplaçar amb una precisió inferior als nanòmetres i, amb el punt a favor que el moviment s'origina directament a l'estructura cristal·lina del material la qual cosa elimina qualsevol tipus de fricció interna.

Aquest fet també aporta altres avantatges: degut a què s'eviten friccions i el moviment no prové de cap accionament que sofreixi desgast, es pot considerar que els accionaments que usen actuadors piezoelèctrics no requereixen quasi cap manteniment.

A part de les ja comentades aplicacions en els ignitors per al gas i encenedors, micròfons i altaveus, nanoposicionament de miralls per a les comunicacions en fibra òptica, generació d'ones de radar, capçals d'impressió... els materials piezoelèctrics estan apareixent en el camp de les energies renovables pel fet que s'estan començant a estudiar i desenvolupar prototips de captació d'energia gràcies a l'acumulació de l'energia elèctrica generada a cada petita deformació que es produeix en els materials piezoelèctrics. En aquest tipus de tecnologia s'ha estudiat des de col·locar materials piezoelèctrics a sota el paviment d'andanes de tren, a les barreres d'accés als transports públics per aprofitar l'impuls generat pels passatgers al passar, a sota les carreteres per aprofitar el pas dels vehicles, adherits en una farola per aprofitar les deformacions que causa el vent sobre cada element piezoelèctric o fins i tot, s'han arribat a fer prototips que van col·locats a les soles de les botes dels soldats per a què generessin l'energia elèctrica per mantenir les seves ràdios funcionant.

En el camp de l'automoció, els materials piezoelèctrics ja hi juguen un paper important des de fa temps però actuant com a sensors. El futur de l'eficiència energètica en motors d'explosió dels automòbils, sembla que passa per les mans d'aquests materials com a nous sistemes d'injecció. El major control que es té sobre ells, sense inèrcies ni desgastos, i una major



velocitat de resposta que els actuals sistemes mecànics, són només les credencials d'entrada a aquest sector tan important de la indústria.

Un altre camp d'aplicació on també hi intervenen és en les aplicacions on s'utilitzen els ultrasons. Hi ha tècniques de tall o de rentat de materials que mitjançant les ones ultrasòniques que generen els actuadors piezoelèctrics en un medi líquid aconseguixen resultats excel·lents i de més precisió i fiabilitat.

I en el camp de l'electrònica i electricitat, els actuadors piezoelèctrics també hi tindran molt a dir. Actualment ja hi ha al mercat transformadors piezoelèctrics que aprofiten l'efecte piezoelèctric directe i invers per a què un actuator que s'estigui en moviment transmeti aquesta vibració a l'altra però de manera que la relació mecànica entre els dos quedi reflectida en l'obtenció de diferents nivells de tensió.

Amb aquesta llista que, ara per ara, sembla no tenir fi, és una bona motivació per arrencar el projecte i tirar endavant en el muntatge d'una eina que servirà per estudiar uns dels elements que cada vegada més ens anirem trobant a la vida quotidiana en els propers anys.

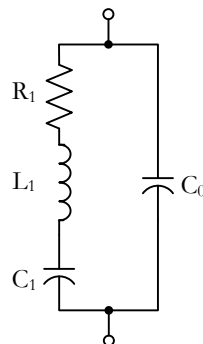


## Capítol 2

### 2. Control dels actuadors piezoelèctrics

L'objectiu del projecte és aconseguir controlar el desplaçament dels actuadors piezoelèctrics. Per aconseguir-ho primer caldrà identificar quins són els estímuls que provoquen l'efecte piezoelèctric invers.

Encara que en l'IEEE Standard on Piezoelectricity [5] es modelitzen els actuadors piezoelèctrics com una branca RLC sèrie en paral·lel amb un condensador, quan es treballa per sota de la seva freqüència de ressonància de l'actuador, es pot considerar que l'efecte resisitiu ( $R_1$ ) i l'inductiu ( $L_1$ ) són menystenibles davant de l'efecte capacitiu ( $C_0+C_1$ ) i, per tant, el material piezoelèctric es comporta de manera anàloga a la d'un condensador. A més, es dona el cas que en aquests casos el desplaçament assolit és proporcional a la càrrega elèctrica emmagatzemada en el material piezoelèctric.



*Figura 2.1: Circuit elèctric equivalent d'un actuador piezoelèctric [5]*

El circuit equivalent mostrat en la figura anterior és vàlid sempre i quant els valors dels paràmetres es mantinguin constants i independents de la freqüència amb què estiguin excitats. En general, els valors d' $R$ ,  $L$  i  $C$  es poden acceptar com a invariables exceptuant els règims propers a la freqüència de ressonància. En la simulació de la figura següent s'observa aquest fenomen mostrant com la impedància és de naturalesa capacitiva per sota de la seva freqüència de ressonància i com pren un caràcter inductiu en les regions properes a aquesta freqüència.



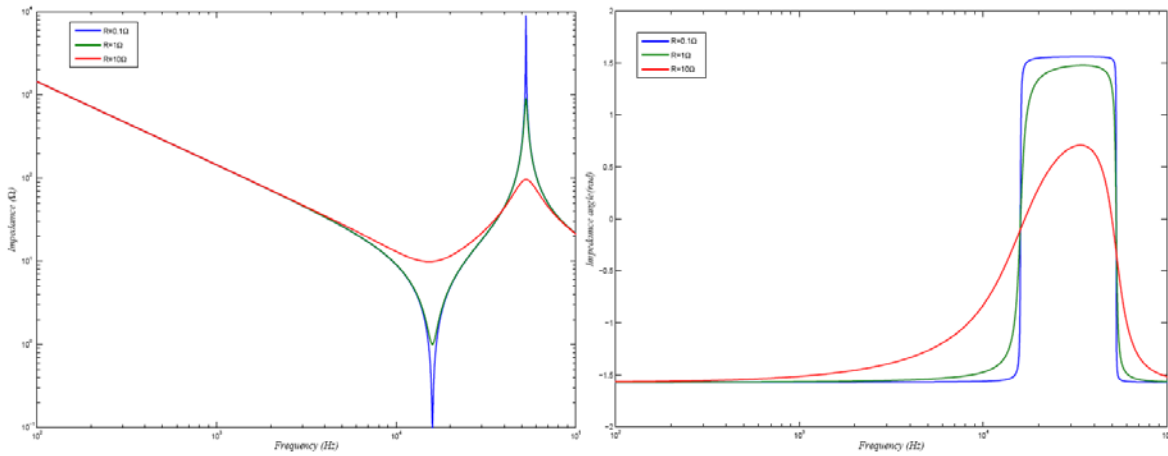


Figura 2.2: Mòdul i fase de la impedància d'un element piezoelèctric per diferents valors de  $R_1 \{=0, 1 \Omega, 10 \Omega\}$  i  $C_1=1\mu F, L_1=0,1mH, C_0=0,1\mu F$  [3]

La capacitat inherent a un element piezoelèctric rau en les característiques del material i la seva estructura interna juntament amb les dimensions (amplada i gruix) de l'actuador i del nombre de capes de què estigui format. Per exemple, pel cas dels d'actuadors piezoelèctrics de pila es pot calcular la capacitat amb la següent expressió:

$$C_p \approx n_c \cdot \epsilon_{33}^T \cdot \frac{A_p}{d_s} \quad (2.1)$$

essent  $\epsilon_{33}^T$  la constant dielèctrica en que provoca una modificació de la mida en la mateixa direcció que la polarització de l'element piezoelèctric.

A partir de l'equació 2.2, que relaciona la càrrega i capacitat, i de la definició de corrent elèctric (2.3), s'arriba a l'equació diferencial de càrrega del condensador 2.4:

$$q_p(t) = \frac{v_p(t)}{C_p} \quad (2.2)$$

$$i_p(t) = \frac{dq(t)}{dt} \quad (2.3)$$

$$i_p(t) = C_p \cdot \frac{dv(t)}{dt} \quad (2.4)$$

Així doncs, tractant l'actuador piezoelèctric com un condensador, partint només de l'expressió del camp elèctric entre els elèctrodes d'un condensador, es troba que aquest es pot controlar a partir de les dues magnituds elèctriques principals: controlant la tensió entre els dos elèctrodes (2.5) o controlant la càrrega que s'hi injecta (2.6) integrant el corrent que circula a través del material piezoelèctric durant el temps que dura la seva polarització:



$$E_E = -\frac{q(t)}{\varepsilon \cdot A} = -\frac{C_p \cdot v(t)}{\varepsilon \cdot A} \quad (2.5)$$

$$E_E = -\frac{q(t)}{\varepsilon \cdot A} = \frac{-1}{\varepsilon \cdot A} \int i(t) dt \quad (2.6)$$

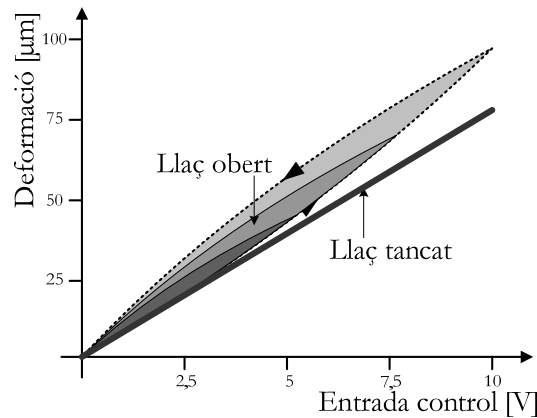
Al tenir relacionada l'expressió del camp elèctric amb dues magnituds elèctriques de senzilla medició, a partir de les equacions constructives de l'apartat 1.2, ja es poden determinar les reaccions mecàniques de deformació (S) i pressió (T) directament amb valors de tensió i corrent.

Aquestes equacions, encara que per les aproximacions que s'han pres és de suposar que donaran un valor aproximat del comportament real de l'efecte piezoelèctric, són realment útils per als conceptes de disseny, ja que, per un costat han deixat clar que poder comandar les magnituds de tensió i corrent als borns del piezoelèctric és vital per tenir un correcte control de l'actuador piezoelèctric ja sigui per realitzar controls a partir de la tensió o a partir de la càrrega injectada i, per un altre costat, permetran obtenir els primers nombres per al dimensionat de la bancada.

Fent cas de les relacions lineals del primer capítol entre els paràmetres dels materials, es podria pensar que la deformació és una espècie de funció d'estat amb el camp elèctric aplicat i la pressió que suporta el material, però el fet és que les linealitats que es defineixen en totes aquestes relacions matemàtiques van perdent validesa si s'observen els resultats de diversos experiments realitzats amb actuadors piezoelèctrics ja que apareix histèresi en la deformació [3][7], és a dir, que per una mateixa tensió aplicada la deformació de l'actuador és diferent depenent de si aquesta es produeix en un sentit o en un altre (contracció o expansió). A més, com es veu a la Figura 2.3, aquest efecte augmenta amb l'amplitud del moviment realitzat. A part d'això, en cas que s'actués sobre càrregues variables també trencaria aquesta suposada linealitat entre deformació i tensió.

Per evitar això es proposa treballar amb llaços tancats de control capaços de mesurar la deformació de l'actuador piezoelèctric a cada moment i modificar la excitació del piezoelèctric a fi que la deformació sigui la més propera a la que s'ordena des de la consigna. Tal i com s'observa a la figura següent, amb llaços de control realment es pot evitar l'efecte produït per la histèresi. El punt en contra però, és que la deformació que pot assolir un actuador piezoelèctric és realment petita i calen sistemes de molta precisió per tal de poder prendre mesures fiables que puguin servir de realimentació per al control del sistema. Tot i l'avantatge de tenir controlada la deformació real de l'actuador piezoelèctric, la possibilitat de què el més mínim soroll o desviació entri al sistema de control o afecti sobre els sensors pot arribar a provocar distorsions que no apareixerien en sistemes que treballin en llaç obert [4].





*Figura 2.3: Comparació de la deformació d'un actuador piezoelèctric entre sistemes en llaç obert (amb histèresi) i llaç tancat [4]*

Aquesta diferència tan notable porta a què sigui d'un gran interès treballar en la investigació d'algorismes de control eficients, ràpids i que requereixin el mínim de recursos per tal d'ésser implementats en microcontroladors de baix cost. La bancada que es construeix permetrà aprofundir en l'experimentació i recerca amb tot tipus de llaços de control, fent-la una eina de gran utilitat per continuar la investigació en aquest camp.

Per tal de què a la bancada s'hi puguin experimentar el màxim de condicions, tipologies de funcionament, algorismes i estructures de control, etc... com es veurà en capítols posteriors s'ha pensat en fer un disseny modular on cada unitat sigui intercanviable i modificable amb l'objectiu de què sigui possible realitzar el màxim nombre d'assajos diferents.

## 2.1 Accionament d'actuadors piezoelèctrics en llaç obert

Un sistema accionat en llaç obert és aquell que la seva sortida està directament relacionada amb la consigna d'entrada però no es té cap control de si aquesta sortida és fidel al que se li demana, ni tampoc es reacciona per a què ho sigui. Pel cas de l'accionament de la Figura 2.4, a l'entrada de la consigna s'introdueixen els valors de les deformacions que es volen obtenir a l'actuador piezoelèctric. Aquesta consigna de deformació ( $x_p^*$ ) que, en principi tindria unitats de longitud, passa per un bloc de control que adapta el valor d'entrada a un altre valor adimensional ( $\alpha$ ) que el convertidor estàtic és capaç d'interpretar, i indica quines condicions elèctriques fan falta a la sortida del convertidor per a obtenir la deformació que s'ordena des de la consigna. Al final de la conversió d'energia elèctrica a mecànica que porta a terme l'actuador piezoelèctric no hi ha la seguretat de què la deformació real ( $x_p$ ) sigui la mateixa que la consignada ( $x_p^*$ ). Per tant, aquest mètode és útil quan les condicions a les que estigui sotmès l'actuador piezoelèctric, com ara forces externes o condicions de treball, etc. siguin sempre les mateixes, ja que si aquestes variables d'entorn no són fixes, per obtenir una deformació de consigna ( $x_p^*$ ) concreta caldran injeccions d'energia elèctrica diferents i, a menys que el bloc de control estigui a l'aguait d'aquests canvis i pugui donar el valor d' $\alpha$  adequat a cada moment,



caldrà implementar un control enllaç tancat per obtenir la deformació real el més semblant possible a la deformació consignada.

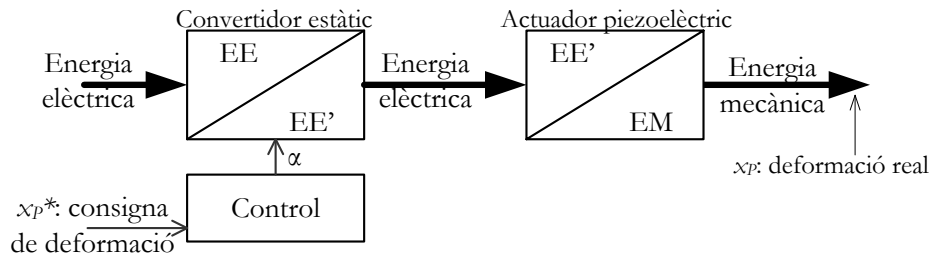


Figura 2.4: Accionament d'actuadors piezoelèctrics en llaç obert

## 2.2 Accionament d'actuadors piezoelèctrics en llaç tancat

En canvi, com s'observa a la Figura 2.5, en un llaç tancat sí que es tenen mesures de les magnituds al final del procés de conversió de l'energia, i aquestes mesures no només es centren en la deformació de l'actuador piezoelèctric, sinó que també es pot tenir el control de les magnituds elèctriques que exciten a aquest actuador.

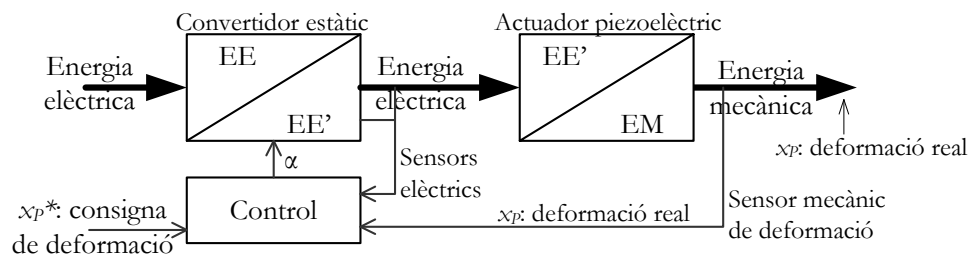


Figura 2.5: Accionament en llaç tancat

Que hi hagi aquesta doble realimentació de paràmetres elèctrics i mecànics es deu a què els llaços de control estan posats un dins de l'altre segons la interacció que tinguin amb l'actuador piezoelèctric. En les equacions 2.5 i 2.6 del principi d'aquest apartat 2 s'ha vist com el camp elèctric es pot regular a partir del control de la tensió o de la càrrega injectada en l'element piezoelèctric. Per tant, la tensió i el corrent són les magnituds de més baix nivell (que actuen més properament a l'excitació del piezoelèctric) que permetran controlar el moviment de l'actuador.

### 2.2.1 Llaç tancat de tensió: control de tensió als borns de l'actuador piezoelèctric

Així doncs, la realimentació de la deformació del piezoelèctric sempre serà la mateixa, però la realimentació de les magnituds elèctriques poden ser de dos tipus: de tensió o de càrrega (corrent acumulat en un cert temps). A la Figura 2.6 s'ha representat un diagrama del sistema de control en llaç tancat on la deformació de l'actuador piezoelèctric es controla a partir de la tensió. El sistema consta de dos blocs clarament diferenciats: l'accionament de tensió (Figura 2.6(a)), que és el que se n'encarrega de què la tensió als borns de l'actuador sigui la que



realment el control ha demanat al convertidor mitjançant el paràmetre  $\alpha$  per aconseguir la deformació desitjada. Com es veu, l'entrada d'aquest bloc és una consigna de tensió ( $v_p^*$ ) i la sortida és també el valor de la tensió real ( $v_p$ ) que s'ha obtingut. Per tant, si únicament es tingués aquest bloc de control per a l'excitació dels actuadors piezoelèctrics s'haurien de donar consignes de tensió ( $v_p^*$ ) per acabar obtenint les deformacions corresponents a aquestes tensions, però igual que en el sistema enllaç obert no es té control sobre la deformació real ( $x_p$ ), és a dir, encara no s'ha tancat el llaç de posició ( $x_p$ ).

Per tenir el control de la deformació de l'actuador piezoelèctric caldrà afegir una llaç de control per sobre de l'existent control de tensió. Com es veu a la Figura 2.6 (b), aquest nou llaç parteix d'una consigna de posició ( $x_p^*$ ) i, gràcies als sensors de deformació, es compara amb les mesures de la deformació real ( $x_p$ ). D'aquesta comparació i de l'algorisme implementat en el bloc de Control de posició en resulta un valor que resulta ser una consigna de tensió ( $v_p^*$ ) per a l'accionament de tensió que ja s'havia explicat i implementat prèviament.

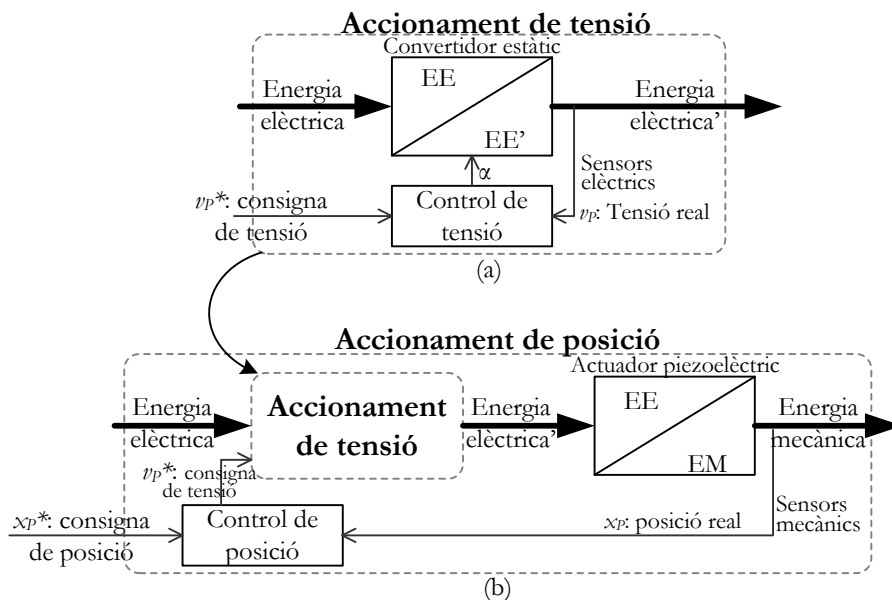


Figura 2.6: Implementació dels sistemes de control de posició en laïça tancat a partir del control de tensió als borns de l'element piezoelèctric

### 2.2.2 Llaç tancat de corrent: el control de càrrega elèctrica

Una altra possible manera de tenir el control de l'actuador piezoelèctric, com s'ha vist a l'inici de l'apartat 2, pot ser la regulació de la quantitat de càrrega elèctrica que s'injecta a l'element piezoelèctric, tal i com es proposa a [6], aportant millores en la resposta davant de la histèresi. A més, la possibilitat de que es puguin tancar llaços de tensió i corrent simultàniament permetria implementar mètodes de control més complexos com el que s'ha fet a [7] on s'implementa un control no lineal que té en compte la quantitat d'energia subministrada a l'actuador. Les millores que aporten aquest algorismes fa que sigui d'interès dissenyar la





bancada proporcionant els mitjans suficients que permetin el major rang d'experimentació possible.

Anàlogament com s'ha vist en el cas de llaç tancat de tensió, per l'accionament de posició amb el control de la càrrega elèctrica l'estructura és similar: hi ha dos llaços de control en cascada, el de posició i el de càrrega (Figura 2.7 (b)). Està clar que, l'algoritme del bloc del Control de posició serà diferent de l'emprat en el control amb llaç de tensió, ja que ara el valor de sortida és una consigna de càrrega elèctrica ( $q_p^*$ ).

La diferència més important es troba a l'interior del bloc de l'accionament de càrrega (Figura 2.7(a)) degut a què el valor real de la càrrega elèctrica injectada ( $q_p$ ) s'obté a partir d'integrar el corrent ( $i_p$ ) que circula per l'element piezoelèctric (Eq. 2.3) i per tant, cal un procés d'integració per a què el control de càrrega pugui generar la consigna ( $\alpha$ ) adequada per al convertidor d'energia elèctrica.

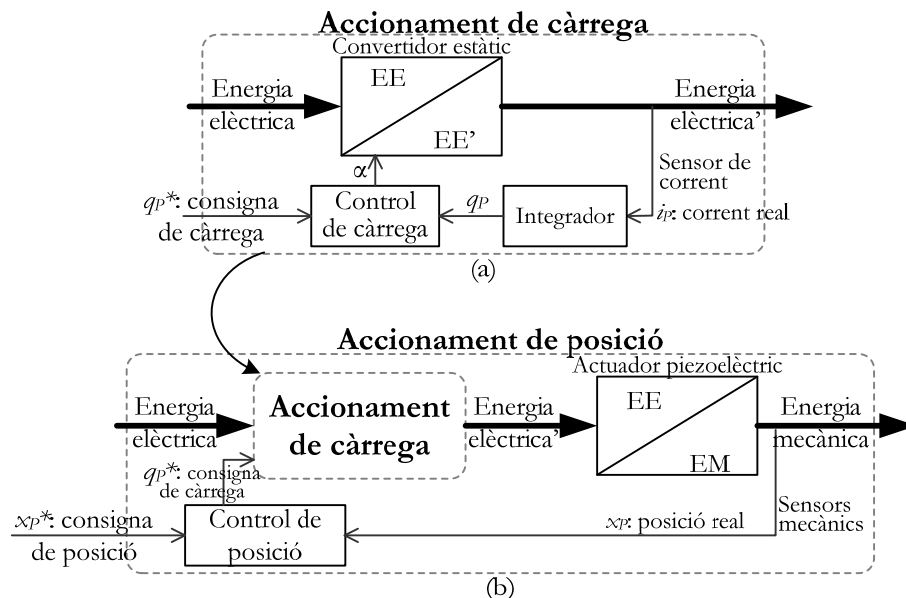


Figura 2.7: Implementació dels sistemes de control de posició en llaç tancat a partir del control de la càrrega elèctrica injectada a l'element piezoelèctric

Aquestes dues metodologies de control són vàlides des del punt de vista teòric, però l'experimentació i validació d'aquests mètodes no entren en els objectius del projecte, ja que el que es pretén és crear una bancada preparada per estudiar les tècniques de control en futurs projectes d'investigació, projectes final de carrera, doctorats, etc. És per això que a la resta d'apartats relacionats amb el control i la posada en funcionament es prendrà el cas d'accionament de posició únicament a partir de la regulació de la tensió en els borns de l'actuador piezoelèctric, és a dir, sense realimentació de posició ( $x_p$ ).



### 2.3 El control digital de posició de l'actuador piezoelèctric

El control que s'implementarà en l'FPGA serà de tipus digital, és a dir, s'utilitzarà un dispositiu electrònic digital per a realitzar els càlculs de les consignes a partir de l'algorisme que s'hi hagi implementat. Això significa que s'haurà de treballar en temps discret i, per tant, en els casos de les magnituds que hagin de ser mesurades per tancar el llaç de control serà necessari fer adquisicions de valors instantanis d'aquestes mesures i processar una nova consigna per cada un d'aquests valors adquirits. El nou valor calculat en el bloc de control serà el cicle de treball ( $\alpha$ ) amb què ha de treballar el convertidor d'energia elèctrica. En ser un sistema digital s'ha decidit transmetre aquesta magnitud ( $\alpha$ ) mitjançant un senyal digital modulad per amplitud de polsos (PWM).

De manera gràfica, a la Figura 2.8 es poden observar quins són els blocs que formen internament els llaços de control digital. A part dels blocs PWM i la bancada, els tres sistemes tenen en comú un bloc anomenat *control* del qual en surt el paràmetre  $\alpha$ . Cada un d'aquests blocs, però, té una definició interna diferent per tal de donar el cicle de treball ( $\alpha$ ) adequat al convertidor per tal d'obtenir al final del sistema un valor molt semblant a la consigna d'entrada. I, mentre que pel sistema en llaç obert es calcula a partir de la consigna de posició, pels dos sistemes en llaç tancat el seu valor es troba a partir de l'error entre les mesures de la magnitud real en l'element piezoelèctric i la magnitud de consigna.

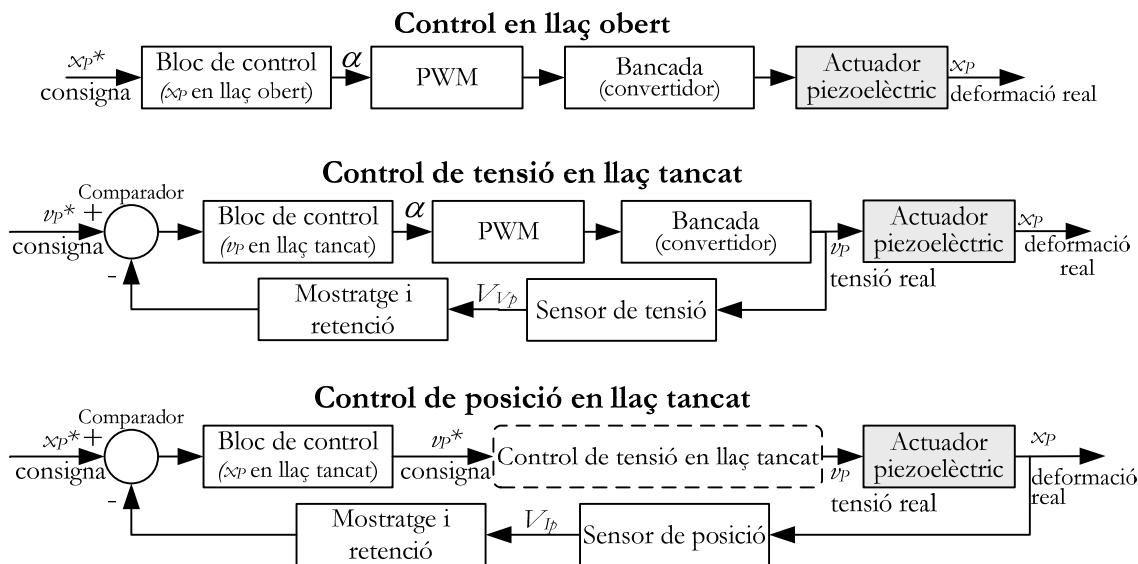


Figura 2.8: Blocs interns dels controls en llaç obert i llaç tancat de tensió i posició

El sistema que s'implementarà per a la posada en marxa del prototip serà el Control de tensió en llaç tancat. Cal dir que, sabent que la deformació de l'actuador piezoelèctric és proporcional a la tensió aplicada (Eq. 2.5 i 1.3), una solució senzilla seria crear un bloc previ a l'entrada de consigna de tensió ( $v_p^*$ ) que afegís aquesta relació de proporcionalitat (definida pel fabricant de



l'actuador piezoelèctric), convertint la consigna de tensió ( $v_p^*$ ) en una de deformació ( $x_p^*$ ), simplement realitzant una operació lineal.

## 2.4 Simulació de l'operació de càrrega

Per al dimensionat de la plataforma s'ha realitzat una simulació del procés de càrrega d'un actuador piezoelèctric. Com a primera hipòtesi i entenent que es treballarà per sota de la freqüència de ressonància, s'ha considerat que es comporta com una càrrega capacitiva de  $C_p=110\text{nF}$ , tal i com s'ha pogut mesurar en una mostra d'actuador piezoelèctric laminar. La prova s'ha fet sotmetent la càrrega capacitiva al graó de tensió de més amplitud que es podrà fer a la plataforma, que s'estima que seran uns 400V. Per fer la simulació de l'esquema de la Figura 2.9 també s'ha fet la hipòtesi que aquesta tensió en borns de l'actuador piezoelèctric augmenta a un ordre de  $60\text{V}/\mu\text{s}$ . S'ha considerat la resistència dels conductors i del propi piezoelèctric amb un valor de  $R=15\text{m}\Omega$  i es parteix del condensador totalment descarregat.

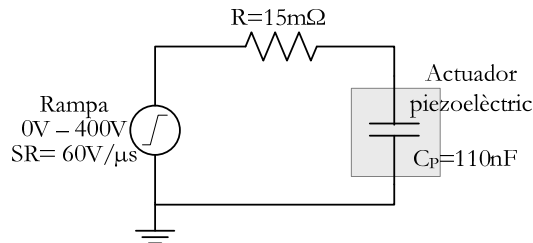


Figura 2.9: Esquema elèctric de la simulació de càrrega de l'element piezoelèctric

Amb l'equació (2.5) es pot tenir una primera aproximació de l'ordre de magnitud del corrent que passarà per a carregar aquesta capacitat de  $C_p=110\text{nF}$ .

$$I_p = C_p \cdot \frac{\Delta V}{\Delta t} \Rightarrow I_p(t) = 110 \cdot 10^{-9} \cdot \frac{65}{10^{-6}} = 7,15\text{A} \quad (2.7)$$

A la figura següent s'observa com per efecte del pols de tensió (línia blava) es produeixen un seguit d'oscil·lacions a alta freqüència en el corrent (línia vermella) que circula per la càrrega capacitiva que convergeixen al valor calculat anteriorment  $I_p=7,15\text{A}$ .

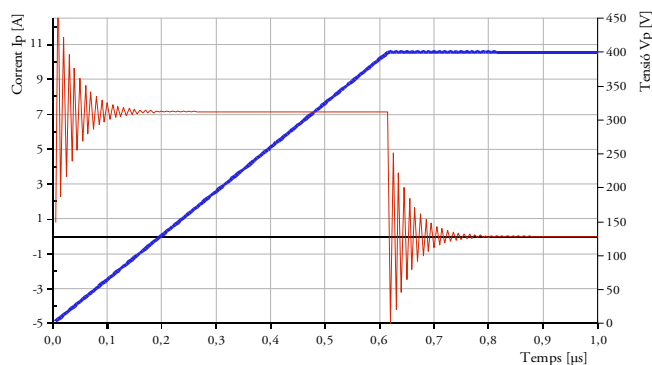


Figura 2.10: Corrent (vermell) que circula per la càrrega capacitiva davant d'una rampa de tensió (blau) de 400V incrementant-se a raó de  $60\text{V}/\mu\text{s}$



Així doncs, tot i que s'han fet els càlculs per un cas extrem com és passar de 0V a 400V en 0,6µs i que els 7,15 ampers calculats no representen el règim permanent de funcionament, els valors obtinguts són els que es tindran en compte per al dimensionat de la bancada. Al tractar-se d'un comportament totalment capacitiu del material piezoelèctric, la forma i magnitud del corrent que apareix durant la càrrega serà igual però en sentit contrari per la descàrrega. Així mateix, també s'hauran de considerar els pics de corrent que apareixen i elegir els components per a què puguin suportar aquestes condicions.



## Capítol 3

### 3. La bancada d'assaig

La bancada d'assaig que es construirà per a l'accionament dels actuadors piezoelèctrics està dividida, segons la seva funció, en tres parts: l'etapa de potència, la interfície i el control. A la Figura 3.1 es pot observar la manera com es relacionen aquestes tres entitats.

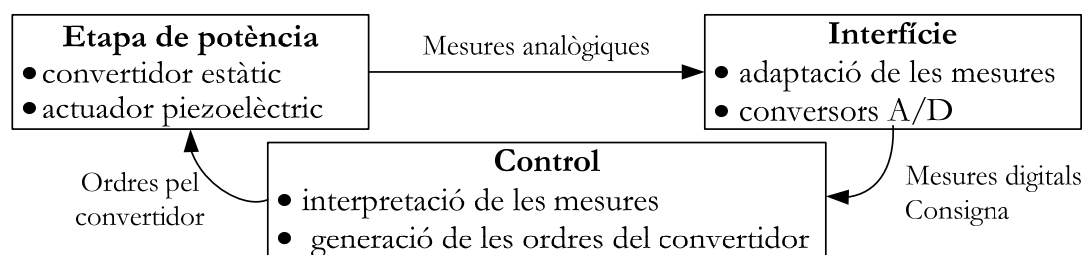


Figura 3.1: Esquema de blocs de la bancada d'assaig

Cada una d'aquestes parts té una missió ben diferent: la secció de potència és la que uneix l'entrada d'energia elèctrica de la xarxa amb l'actuator piezoelèctric; el control és la part on hi ha programat el codi necessari per adquirir les mesures i on s'hi implementarà l'algorisme de control que doni la consigna adequada al convertidor de l'etapa de potència; i finalment, la interfície està entre l'etapa de potència i el control, i que fonamentalment té la missió de prendre mesures de l'etapa de potència i les adequa per a poder ser llegides pel control.

Tal i com s'introdueixen els dos tipus d'accionament als apartats 2.1 i 2.2 i els principis de funcionament dels controls digitals de l'apartat 2.3, en aquest apartat, per al disseny de la bancada és necessari identificar a quina de les tres etapes comentades anteriorment pertany cada un dels blocs dels sistemes de control estudiats anteriorment. Pel diagrama en llaç obert, els blocs queden distribuïts tal com es veu a la Figura 3.2. En aquest cas s'observa que l'etapa d'interfície no hi apareix degut a què en llaç obert no es necessita cap sistema que realitzi mesures per a la realimentació.

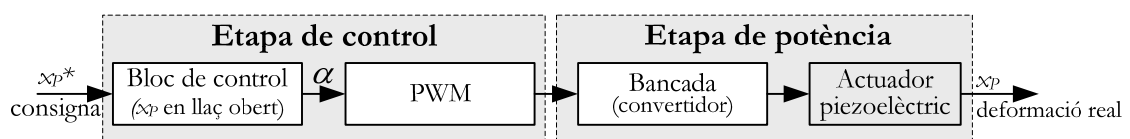


Figura 3.2: Organització dels blocs del sistema en llaç obert en les etapes de la bancada



En canvi, a la Figura 3.3, es veu com els blocs del sistema de control de la tensió en llaç tancat hi apareixen les tres etapes de la bancada: potència, control i interfície. Per a la posada en funcionament i realitzar les proves de funcionament s'ha implementat un sistema de control de tensió com el que es representa a continuació.

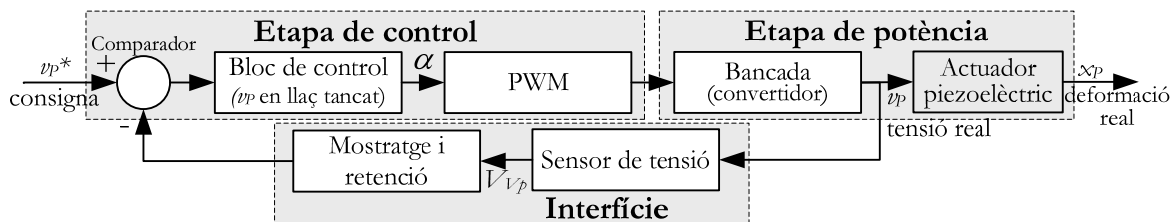


Figura 3.3: Ubicació de les tres etapes del sistema en llaç tancat en el diagrama de blocs

### 3.1 L'etapa de potència

Aquesta secció de la bancada és l'encarregada d'unir l'entrada d'energia i l'actuador piezoelèctric. Com s'ha vist anteriorment, per excitar el piezoelèctric cal aplicar nivells de tensió concrets per tal d'aconseguir la deformació desitjada en el material. Per tant, l'objectiu és poder donar valors de tensió concrets als borns del material piezoelèctric a partir de l'entrada d'energia elèctrica a la bancada, que serà en forma de tensió alterna provinent de la xarxa elèctrica. Per realitzar aquesta tasca serà necessari intercalar un convertidor estàtic entre l'entrada de l'energia i l'actuador piezoelèctric, tenint en compte, però, totes les conversions prèvies en el format de l'energia elèctrica que s'han de portar a terme per al correcte funcionament del convertidor.

Seguint l'esquema dels convertidors estàtics i les regles de connexió entre fonts de corrent i fonts de tensió [11], no es podrà assolir la tensió controlada a la sortida del convertidor de manera directa, ja que s'estarien connectant dues fonts de tensió (la xarxa i la sortida del convertidor) en paral·lel, la qual cosa no és possible. Per tant, caldrà intercalar una font de corrent entremig i per això serà necessari pensar en una estructura de convertidor indirecte amb una etapa intermitja de corrent continu (Figura 3.4).

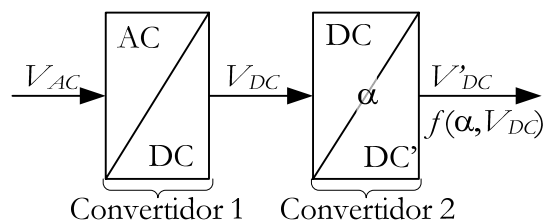


Figura 3.4: Passos per a la conversió de la energia elèctrica

A la figura següent es mostra la conversió d'energia elèctrica d'una manera més detallada i aplicada al cas real, tenint en compte que a l'entrada de la bancada hi arriba la tensió de la xarxa de 230V i 50Hz. Seguidament es descriuen les fases que s'han de seguir per tal de



complir amb els requeriments de la Figura 3.4: a) tensió alterna provinent de la xarxa a 50Hz i  $V_f=230V$ ; b) tensió alterna  $V_{at}$  entre 0 i  $V_f$  regulada amb un autotransformador; c) tensió del bus de contínua ( $V_{DC}$ ) al nivell de la tensió de pic de la fase anterior; d) tensió a la sortida del convertidor.

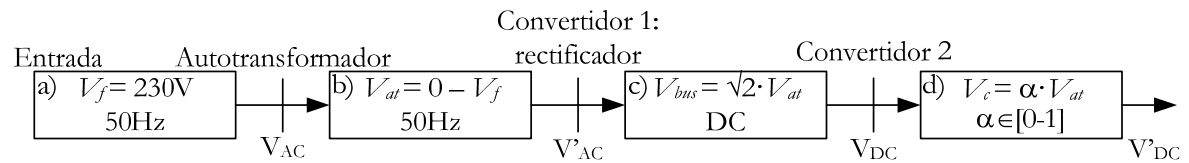


Figura 3.5: Diagrama de blocs de les conversions de l'energia elèctrica en l'etapa de potència

Haver col·locat un autotransformador entre l'entrada i el rectificador permetrà limitar el nivell de tensió que hi haurà a l'entrada del convertidor. Això pot ser de gran utilitat en els casos que el materials piezoelèctric que hi hagi a la bancada tingui limitacions en aquest sentit.

### 3.1.1 L'autotransformador

Just a l'entrada de l'etapa de potència s'hi ha instal·lat un autotransformador a fi de poder regular el nivell de tensió al bus de corrent continu. Aquesta aplicació no només és útil durant la fase de proves del sistema, on es treballa a tensions baixes per evitar falles greus, sinó que té una importància vital en els casos que els actuadors piezoelèctrics amb els que s'estigui treballant puguin suportar tensions per sobre d'un llindar determinat. És aquí on, per seguretat, caldrà rebaixar la tensió del sistema per no malmetre l'actuador piezoelèctric accidentalment.

### 3.1.2 El convertidor de mig pont en H a la bancada

Havent seguit la metodologia per al disseny de convertidors estàtics indicada a [8] i desenvolupada a l'apartat A.3 de l'Annex: Elecció de la topologia del convertidor, es troba que la topologia de convertidor necessària per a l'aplicació és la de mig pont en H. Havent substituït els quatre commutadors de l'estructura de pont en H complet amb què s'ha iniciat el disseny del convertidor i adaptant la nomenclatura dels elements de commutació que han quedat a l'esquema final, l'esquema elèctric del convertidor resultant és la que es mostra a la Figura 3.6:

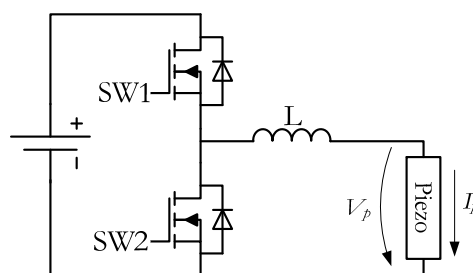


Figura 3.6: Esquema del convertidor amb els components elegits



Tal i com ja s'ha vist a la Figura 3.4 i Figura 3.5, cal realitzar la conversió d'energia elèctrica en dos passos: rectificar la tensió alterna de la xarxa per poder acoblar el convertidor en el conjunt de la bancada. Aquesta primera conversió (Convertidor 1, AC/DC) es realitzarà amb un pont de díodes i un banc de condensadors en paral·lel per tal de filtrar la component freqüencial que té la tensió a la sortida del rectificador i esmorteir les variacions brusques del nivell de tensió que hi podrien haver, en definitiva, donar la màxima estabilitat a la tensió del bus de contínua del qual s'alimenta el segon convertidor (Convertidor 2, DC/DC'). Així doncs, unint el rectificador amb el convertidor de mig pont en H, l'esquema elèctric del circuit de l'etapa de potència de la bancada queda com la figura següent:

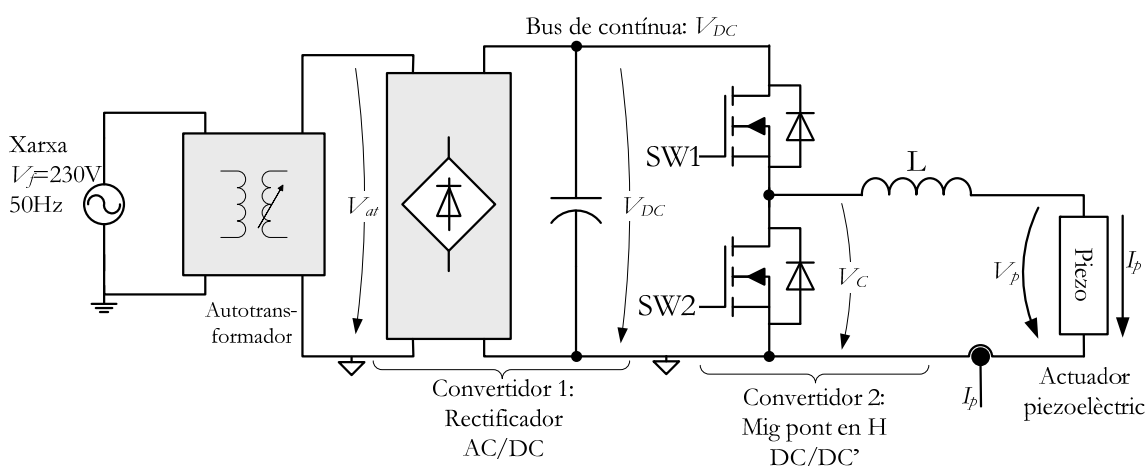


Figura 3.7: Esquema complet de l'etapa de potència

### 3.1.3 Els *drivers* aïllats

Encara que no hagin aparegut fins ara, els *drivers* (o circuits d'atac) són imprescindibles per a l'accionament dels MOSFET del convertidor estàtic de la bancada. La capacitat de permetre o no el pas del corrent a través seu que tenen els MOSFET es controla aplicant un nivell de tensió determinat entre els terminals *porta* i *sortidor* ( $V_{GS}$ ) d'aquest dispositiu, fent passar d'estat de tall (comportament d'interruptor obert) a lineal (comportament d'interruptor tancat). Encara que a priori canviar l'estat dels semiconductors sembli senzill, l'estructura interna dels transistors d'efecte camp (FET) dóna lloc a diversos factors en el comportament d'aquest tipus de dispositius: per una part hi ha l'aparició d'un díode paràsit en antiparal·lel entre els terminals de drenador i sortidor (Figura 3.8 (b)), el qual ja es té en compte i s'aprofita en el moment de dissenyar la topologia del convertidor (Annex A.3), però també apareixen una sèrie de capacitats paràsites (Figura 3.8 (c)) entre els seus terminals i això implica que per a donar un cert nivell de tensió entre els terminals de porta i sortidor ( $V_{GS}$ ), sigui necessari subministrar pics de corrent importants per tal de vèncer la "capacitat d'entrada" formada per la suma de  $C_{DG}$  i  $C_{GS}$ . Aquest corrent no podrien ser donats connectant directament la sortida dels dispositius d'electrònica de control.





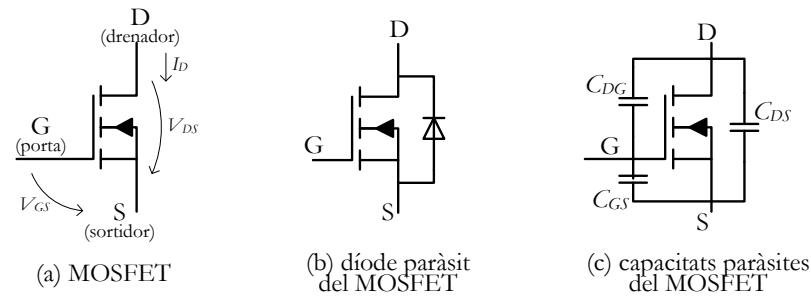


Figura 3.8: Díode i capacitats paràsites en un transistor MOSFET

Un altre problema que apareix, aquest cop degut a l'estructura del convertidor dissenyat (exemplificat a la Figura 3.9), és que el MOSFET SW1, situat a la part “d’alta” entre el bus de contínua i la inductància, en els casos en què l’actuador piezoelèctric està carregat, pot arribar a tenir el terminal *drenador* a nivells de tensió de 400V respecte el punt de referència de la bancada. El fet que els polsos de tensió per activar el MOSFET arriben del control respecte del potencial de referència i no respecte del potencial  $V_C$  del punt mig del convertidor, provoca que hi hagi d’haver un aïllament entre l’electrònica de control i l’etapa de potència. Aquest aïllament però, ha de continuar garantint que la tensió  $V_{GS}$  entre els terminals de porta i sortidor sigui la indicada a fi d’activar correctament el semiconductor. Pel cas del MOSFET SW2 també s’haurà de garantir aquesta mateixa tensió  $V_{GS}$ , però aquí no existeix aquest problema d’aïllament entre les etapes de potència i control, ja que el terminal de sortidor (S) està sempre al potencial de referència.

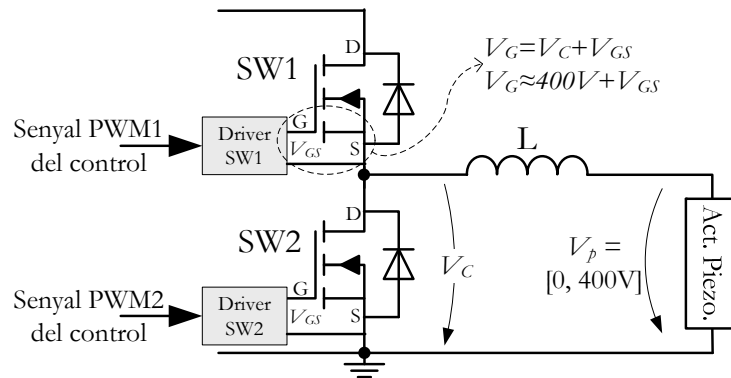


Figura 3.9: Els drivers en l'esquema del convertidor.

Els *drivers* aïllats solucionen aquests dos problemes ja que, per una part, se n’encarreguen de rebre el senyal de PWM que prové del control i transmetre’l entre el drenador i la porta del MOSFET de manera segura, amb la tensió  $V_{GS}$  adequada i amb suficient potència per vèncer els pics de corrent que demanen les capacitats paràsites d’aquestes components.

Mitjançant dos tipus d’aïllament: optoelectrònic per transmetre el senyal PWM i, galvànic, per crear una font d’alimentació aïllada capaç d’aconseguir la tensió  $V_{DG}$  flotant, s’aconsegueix separar la part de control de la part de potència. Amb això es resol el problema de donar les



comandes al MOSFET SW1 de la part alta del pont en H per evitar problemes en els casos en què el sortidor estigui a un potencial major que el zero del sistema. A més, aquest aïllament també evita les conseqüències que tindria el fet de què accidentalment aquests nivells de tensió entressin a l'electrònica de control. Els *drivers* utilitzats són dos dels 6 *drivers* de la placa SQUIM v1 dissenyada al CITCEA per a l'accionament de ponts trifàsics. Aquesta placa està pensada per treballar amb IGBT i per això porta els circuits integrats HCPL-316J d'Agilent Technologies, que són uns optoacobladors capaços d'aïllar fins a  $890V_{pic}$  i a més, subministrar fins a 2A a la sortida. Aquests 2A els subministra la font d'alimentació aïllada galvànica que acompanya aquests optoacobladors, i mitjançant una font commutada que genera una tensió alterna per crear un flux variable a través del nucli de ferro d'un transformador toroïdal, s'obtinguin a la seva sortida dos nivells de tensió: els 16V que es col·loquen entre porta i emissor de l'IGBT per passar de tall a conducció, i els -5V que fan falta per tal de passar de l'estat de conducció a tall més ràpidament, ja que els MOSFET també tenen la porta d'efecte camp i, igual que en els IGBT, caldrà vèncer les pròpies capacitats paràsites.

Com que els circuits integrats HCPL-316J estan dissenyats per aquest tipus d'aplicacions, també ofereixen prestacions de seguretat. Concretament, tenen un control de saturació de la tensió entre col·lector i emissor ( $V_{CE}$ ) per detectar curtcircuits francs a la part de potència. Aquest control consisteix en detectar diferències de potencial entre col·lector i drenador superiors a  $V_{CE} = 7V$  ja que, generalment aquestes caigudes de potencials són causa de què un corrent molt elevat està travessant l'IGBT, és a dir, s'ha produït un curtcircuit. Quan aquesta anomalia és detectada, es dona un senyal de falla al control del sistema i, a més, es dona l'ordre als IGBT per a què bloquin el pas del corrent a través seu i així s'evitin conseqüències pitjors del curtcircuit. Encara que aquesta última aplicació de seguretat no serveix pels MOSFET, o almenys al nivell de 7V entre drenador i sortidor ( $V_{DS}$ ), totes les seves altres característiques, sí que s'ajusten perfectament als requeriments amb què es treballarà, ja que els MOSFET admeten tensions entre porta i sortidor de fins a  $V_{GS} = \pm 20V$  per a l'activació i desactivació de la porta i el corrent necessari per fer-ho no serà superior als 2A.

Així doncs, els *drivers* senzillament fan de pont entre el dispositiu electrònic de control i l'etapa de potència, i només se n'encarreguen de transmetre els senyals d'un punt a l'altre complint els requisits d'aïllament i potència que el propi element de control no pot donar per si sol, aportant seguretat a l'hora de detectar falles i comunicar-les al control.



## 3.2 L'etapa d'interfície: la placa PiGA

Seguint el diagrama de blocs de la Figura 3.1, l'etapa que segueix a la de potència és l'etapa d'interfície i de mesures. Aquesta fase és l'enllaç entre la potència i el control, per tant, és on es mesuren les magnituds elèctriques a diferents punts de la bancada i, un cop es tenen aquestes dades, s'adapten i converteixen als formats adequats per a la seva adquisició i processament a l'etapa de control.

Totes les mesures i conversions es realitzen en un mateix circuit imprès dissenyat especialment per al projecte, que conté tots els components electrònics necessaris per realitzar aquesta tasca a la major velocitat possible. En els següents apartats es descriuen amb més detall quines són les magnituds que es mesuren i com es realitzen aquests processos a la placa.

### 3.2.1 Mesures de les magnituds de la placa PiGA

La *placa PiGA* és el nom amb què s'ha batejat el circuit imprès que representa físicament l'etapa d'interfície, i que com a tal, està de pont d'enllaç entre les altres dues parts de la bancada: el circuit de potència i l'etapa de control del sistema. Conceptualment, quan s'implementa el sistema de control en llaç tancat, aquesta placa de mesures constitueix el bloc de la realimentació del sistema, tal i com ja es representava a la Figura 3.3, en canvi, en un sistema en llaç obert l'etapa d'interfície no és necessària.

Per altra part, encara que per a l'aplicació que s'estigui fent no sigui necessari fer mesures, la placa PiGA és imprescindible per al funcionament del sistema perquè, a més, té la funció de ser el pont de totes les comunicacions entre el control i la potència. Així doncs, a part de tots els senyals de les mesures, a través d'ella també hi passen els senyals de PWM provinents del control que es dirigeixen cap a la porta dels MOSFET.

Que la placa PiGA funcioni com a pont de comunicacions es deu al fet que tot el sistema de control està centralitzat en una placa comercial amb fins educatius que conté l'FPGA amb 120 dels seus pins connectats directament a una sèrie de connectors que permeten el pas de senyals d'entrada i sortida amb l'exterior. Aprofitant tots aquests connectors, aquesta placa de control es munta directament a la placa PiGA, que recull 80 d'aquests ports d'entrada/sortida i els condueix als diferents circuits integrats que hi ha repartits per la placa i, en cas dels senyals que només travessen la placa, com els de PWM, es fa la conducció directament cap al connector de sortida destinat a connectar-hi les portes dels MOSFET (previ pas pels *drivers*). A l'apartat B.5 de l'Annex B es poden veure els esquemes electrònics d'aquesta placa de mesures PiGA.

En quant a les mesures que s'hi realitzen, des d'aquesta placa, com es veu a la Figura 3.10 es poden arribar a captar fins a cinc senyals d'entrada: la tensió als borns del piezoelèctric, el



corrent que circula pel piezoelèctric, la tensió en el bus de corrent continu, la deformació de l'actuador piezoelèctric i una senyal de consigna per al comandament extern. Per al correcte control de l'actuador piezoelèctric, les magnituds que prenen més importància són les que l'afecten directament als seus borns, per tant es prendran mesures especials a l'hora d'adquirir els valors de tensió i corrent que hi circulin, ja sigui dotant-les d'una major resolució i/o una major freqüència de mostreig. A part de totes aquestes entrades de dades, la placa PiGA també disposa de quatre sortides analògiques per tal de visualitzar els valors capturats amb les quals es treballarà a l'interior del dispositiu electrònic que realitza els càlculs del control.

Com que es treballarà amb un sistema electrònic digital, és necessari que totes les magnituds mesurades es converteixin a format digital. Per això la placa PiGA, a part de tots els sensors per mesurar les diferents magnituds, també conté un convertidor analògic-digital (ADC) per cada una d'aquestes mesures. Aquests convertidors han estat elegits convenientment segons la resolució amb què calgui obtenir el valor, la freqüència amb què es necessitin i els requeriments de comunicacions per transmetre el valor capturat.

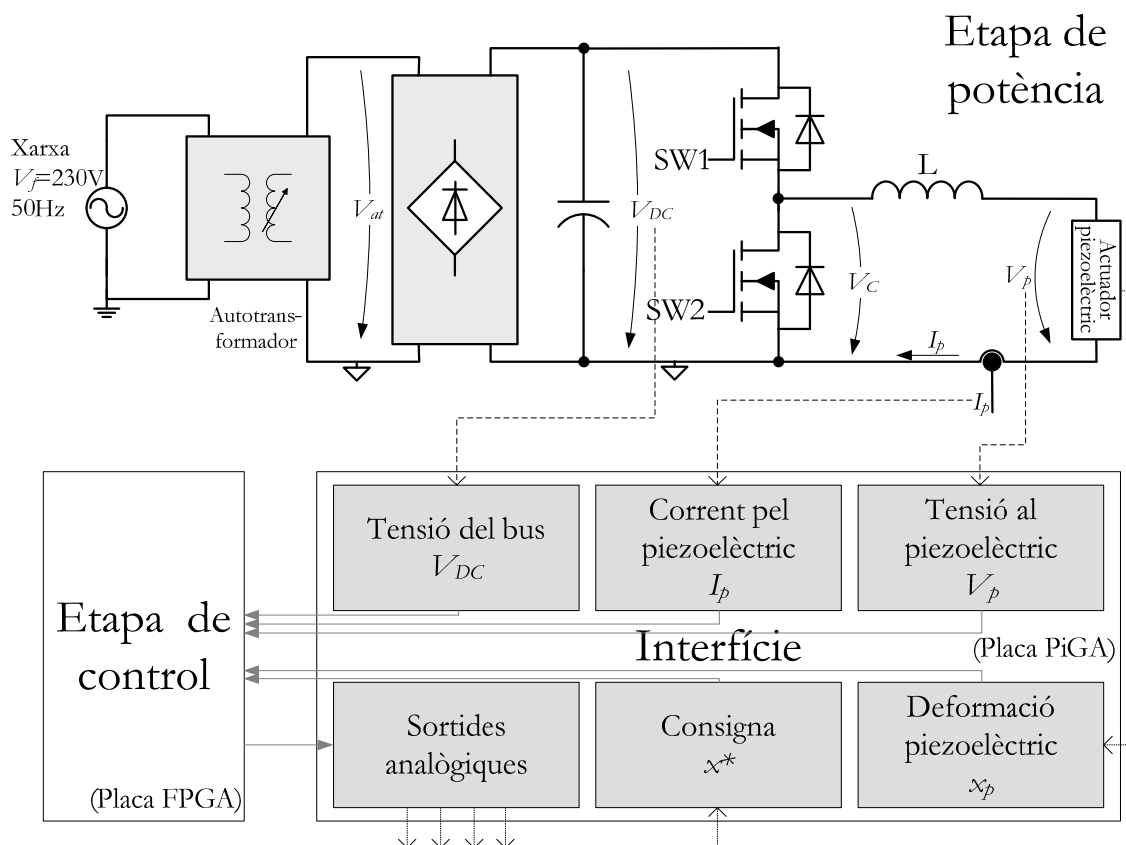


Figura 3.10: Etapla d'interfície col·locada entre la potència i el control



### 3.2.2 Mesures de corrent al piezoelèctric

El corrent que circula per l'actuador piezoelèctric, juntament amb la tensió als seus borns, és una de les magnituds de més importància que cal mesurar. Per mesurar el corrent elèctric circulant s'ha utilitzat un transductor que té com a sortida un valor de tensió proporcional al corrent que circula a través seu. La sonda de corrent que s'ha utilitzat per la bancada és del fabricant LEM i el principi de funcionament està basat en sensors d'efecte Hall que s'exciten gràcies al camp magnètic creat en circular corrent. D'entre el catàleg de transductors s'ha elegit el LTSR 25-NP, que és el model que més s'adequa al rang de corrents que es té previst que circularan per l'actuador piezoelèctric durant el seu funcionament, ja que pot captar corrents entre  $\pm 8A$  donant a la sortida una tensió proporcional a aquest corrent, compresa entre  $2,5V \pm 0,600$ .

Un dels principals problemes de treballar amb aquest tipus de transductors d'efecte Hall és que no tenen una resposta freqüencial massa bona a altes freqüències, ja que, com es veu al full de característiques tenen un guany al voltant de  $-0,5dB$  a  $100kHz$  i de  $-1dB$  en lectures de  $200kHz$ . El fet que la freqüència de commutació amb què està previst treballar sigui justament de  $100kHz$  pot comportar algun problema de resolució o desviació en els valors de les lectures, tot i que en molt poca mesura. Una alternativa a utilitzar aquest tipus de sondes de corrent podria ser afegint una resistència de valor baix (*shunt*) en sèrie amb l'actuador piezoelèctric i processar la caiguda de tensió als seus borns amb amplificadors d'ample de banda elevat. Aquest mètode, però, queda descartat ja que en ocasions encara podria aportar més errors a les lectures degut a la variació de la resistència amb la temperatura. Hi ha altres sensors, de més alt cost econòmic i d'implementació que poden obtenir mesures de corrent fins a l'ordre dels MHz obtenint el valor del corrent també a partir del camp magnètic que genera al voltant d'un conductor, però per al prototip es proposa continuar treballant amb la sonda d'efecte Hall per reduir els costos i facilitar la implementació.

Amb el muntatge d'aquesta part de la placa s'han realitzat una sèrie de proves fent passar valors controlats de corrent a través d'aquest transductor de corrent per comprovar la linealitat de les mesures. Els resultats experimentals s'han representat a les gràfiques de l'Annex B.2.

### 3.2.3 Mesures de tensió als borns del piezoelèctric

Les lectures de tensió als borns de l'actuador piezoelèctric són d'igual importància que les de corrent pel fet de ser magnituds que afecten directament a la càrrega piezoelèctrica. Mesurar tensions, però, no comporta l'ús de cap transductor perquè les unitats que es llegeixen són les mateixes amb les que es dona el valor mesurat. Tot i això, degut a què el sistema està dissenyat per treballar amb tensions d'entre  $0V$  i  $400V$ , caldrà aïllar la circuiteria susceptible d'estar a tensions elevades de la resta de circuits electrònics que formen la placa PiGA, ja que en aquesta



part els components i circuits integrats poden suportar tensions al voltant dels 24V com a màxim. Interposant un amplificador aïllat entre aquest dos circuits s'aconsegueix l'aïllament galvànic necessari per si accidentalment els 400V es posessin en contacte amb la part de l'electrònica. L'amplificador d'aïllament elegit és l'AD215, del fabricant Analog Devices, que ofereix una baixa distorsió, aïllament de 1500Vrms i un ample de banda de 120kHz (-3 dB), molt similar al del transductor de corrent.

Les mesures de tensió s'obtenen a partir d'un divisor resistiu col·locat en paral·lel amb l'actuador piezoelèctric. Les lectures que es volen obtenir estan entre 0V i 400V però el convertidor analògic-digital (explicat a l'apartat següent) requereix que les mesures estiguin entre 0V i 4,096V, s'ha calculat el valor del divisor resistiu amb un factor de reducció de  $k_{div}=8,112 \cdot 10^{-3}$ , de tal manera que quan en borns de l'actuador piezoelèctric hi hagi 400V, la tensió que es vegi a la part electrònica sigui de 3,245V, deixant lliure el rang de tensió fins als 4,096V per si hi hagués alguna sobretensió fins als 500V.

### 3.2.4 Altres mesures

Com ja s'ha vist a la Figura 3.10, la placa PiGA té tres entrades de senyals més: la tensió al bus de contínua, la deformació de l'actuador piezoelèctric i una entrada analògica per a consignes externes ( $x_p^*$ ,  $v_p^*$ ,  $q_p^*$ , etc.). Per limitar l'abast del projecte no s'han considerat com a objectius les aplicacions que requereixen aquest tipus d'entrades, com ara un control de posició o la implementació d'algorismes de control del piezoelèctric a partir de la càrrega, ja que aquests requereixen estudis paral·lels de les no linealitats i d'histeresi [9] que afecten el moviment dels actuadors piezoelèctrics. Per altra part, l'entrada de consigna no s'habilitarà ja que aquesta es podrà donar a partir de taules de valors emmagatzemades a la targeta de control o a través d'alguna altra entrada que hagi quedat lliure. Encara que per aquest cas no s'utilitzin, sí que quedaran disponibles per futurs desenvolupaments i treballs amb la bancada d'assaig.

### 3.2.5 Convertidor analògic-digital de 16 bits en paral·lel

Les mesures de tensió i corrent als borns de l'actuador piezoelèctric són les dues magnituds més importants que cal obtenir de la plataforma. Per aquest motiu, s'ha decidit prendre mesures especials per a l'adquisició d'aquests dos valors. En els dos casos, tensió i corrent, s'obté un valor analògic de tensió proporcional al valor real que s'està llegint en la sonda Hall, pel cas del corrent, o en l'amplificador aïllat, pel cas de la tensió. Degut a què tota l'etapa de control s'implementa en un sistema digital (l'FPGA), serà imprescindible transformar aquests valors analògics que s'obtenen a la bancada a valors digitals.

Hi ha molts dispositius electrònics digitals que són capaços de realitzar aquestes conversions d'analogic a digital internament gràcies a unes entrades dedicades a aquest propòsit, però en els



cas de les FPGA això encara no és possible. Amb els desenvolupaments que s'estan fent en el camp de les FPGA i la integració de nous perifèrics en aquest tipus de dispositius, actualment només tenen entrades analògiques alguns dispositius d'alta gamma del fabricant ALTERA, però tot i això la conversió segueix sent lenta si es compara amb les possibilitats que tenen les FPGA. Degut a això s'ha hagut de buscar un convertidor analògic-digital (ADC, *analog-to-digital converter*) per instal·lar-lo a la placa de mesures PiGA. Al mercat hi ha una gran quantitat d'aquests dispositius de diferents marques i models i amb prestacions molt diverses.

A l'hora d'elegir l'ADC més convenient per l'aplicació, ha primat el fet que tinguessin una bona resolució (a partir de 12bit), alta freqüència de mostreig i una transmissió de dades el més ràpida possible per tal de poder aprofitar les altes prestacions de la resta d'elements del sistema. És per això que s'ha escollit el ADS8401 de Texas Instruments, capaç d'adquirir i convertir valors analògics (d'entre 0V i 4,096V) a digitals amb una freqüència d'1,25MHz amb una resolució de 16bit. A més, la sortida de dades digitals es realitza amb els 16 bits en paral·lel, la qual cosa agilitza molt el procés de transmissió de les dades a la unitat de control encara que requereixi una gran quantitat de ports d'entrada de l'FPGA.

Abans de què es realitzi aquesta conversió analògica-digital cal, però, adequar els senyals de sortida del divisor resistiu i del transductor de corrent per a què els valors a la seva sortida estiguin dins del rang de valors l'ADC i, a més, aprofitar al màxim aquest rang de tensions disponible per a què els valors digitalitzats tinguin la màxima resolució possible. Per això cal interposar una etapa d'amplificació abans que els senyals arribin a l'ADC. A causa de la diferència en les sortides dels transductors corresponents, ha calgut realitzar l'amplificació de diferent manera pels valors sensats de tensió i corrent.

- **Amplificació del senyal de tensió:** gràcies a què el valor de tensió es pren a través d'un divisor resistiu, anteriorment ja s'ha pogut triar adequadament el seu factor de divisió per tal de què a la sortida ja s'obtingués un senyal comprès en el rang de tensions de l'ADC, per tant el guany de l'etapa d'amplificació és 1. Com es veu a la Figura 3.11, sí que s'hi han col·locat un parell d'amplificadors: el primer (AD215) és un amplificador operacional galvànicaament aïllat per evitar que les tensions elevades accidentalment arribin a l'electrònica, i el segon (THS4222D) està connectat com a seguidor de tensió i té la funció de *buffer*: donar suficient potència al senyal per ser transmès fins l'ADC i saturar els nivells de tensió a  $\pm 5V$ .





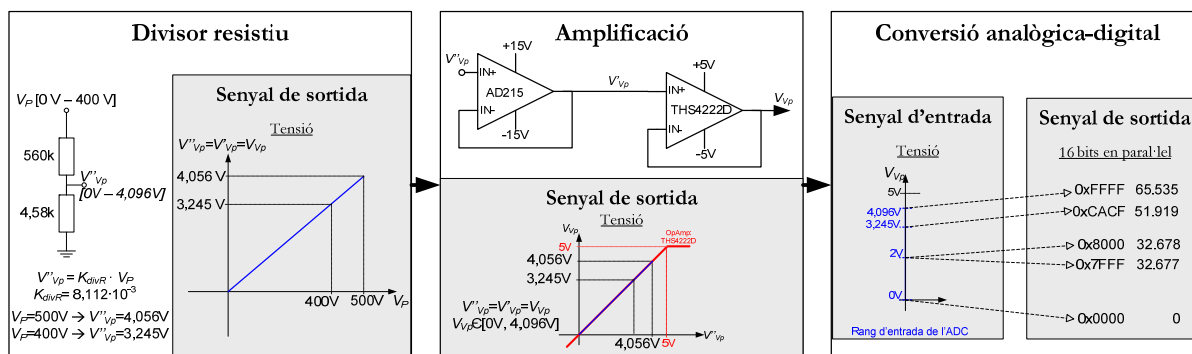


Figura 3.11: Etapes d'adquisició, amplificació i conversió de les mesures de tensió.

- **Amplificació del senyal de corrent:** les mesures de corrent que es fan al transductor d'efecte Hall s'obtenen com un valor de tensió centrat als 2,5V i que varien linealment en  $\pm 0,6V$  al voltant d'aquest nivell segons el sentit del corrent que passi pel transductor. Això provoca que en aquesta etapa, a part d'haver d'amplificar aquest senyal per a què abraci els 4,096V de l'entrada de l'ADC, també s'hagi de desplaçar el valor central de la sortida del transductor de corrent: 2,5V cap al valor central del rang de tensions d'entrada del DAC: 2V. Per fer-ho es col·loca un *offset* de 2,7V a l'entrada inversora de l'amplificador per ajudar a centrar els dos punts mitjos. Amb els càlculs següents i els esquemes de la Figura 3.12 s'exemplifica esquemàticament l'esquema seguit per adequar el senyal.

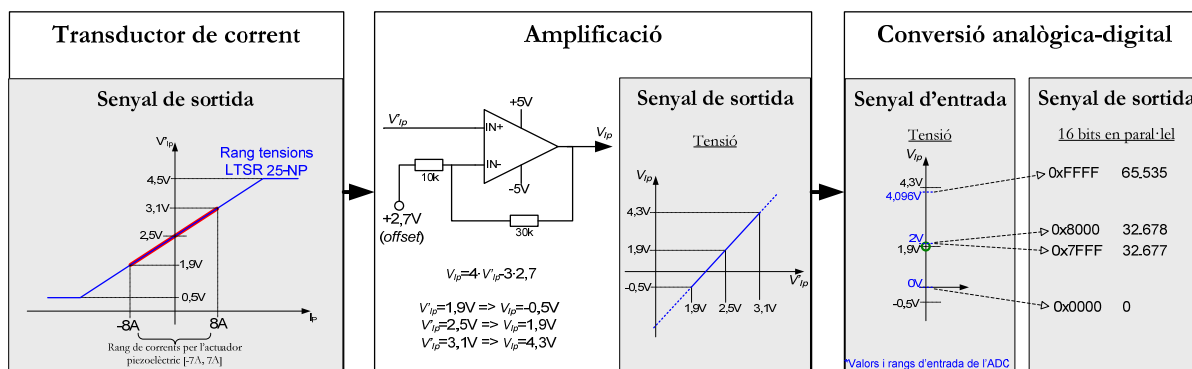


Figura 3.12: Etapes d'adquisició, amplificació i conversió del senyal de corrent

### 3.2.6 Convertidor digital-analògic de quatre canals

La placa PiGA també permet la sortida de dades analògiques gràcies al convertidor digital-analògic (DAC, *digital-to-analogic converter*) que s'hi ha col·locat. El motiu pel qual s'utilitza aquest element és per poder visualitzar els valors digitalitzats anteriorment i un cop ja estan a l'interior de la FPGA. Aquesta estratègia que se sol seguir en les aplicacions amb FPGA i DSP, i consta en crear una aplicació que capturi les dades que s'estiguin rebent per les entrades digitals i directament enviar-les cap al DAC per poder-les visualitzar amb un oscil·loscopi. Que les formes d'ona del senyal original i de l'obtingut a l'oscil·loscopi siguin les mateixes (tenint en compte la proporcionalitat que vingui donada per les etapes d'amplificació, el truncament de la llargada de les dades o el rang de sortida del DAC, etc.) són l'evidència que les conversions





analògiques-digitals s'estan fent adequadament en els ADC i que les dades es transmeten i processen correctament fins a l'interior de l'FPGA. Encara que les FPGA vénen equipades amb complexos programes que permeten analitzar senyals en punts concrets de la seva estructura interna o utilitzant aparells d'anàlisi de senyals digitals, el fet d'utilitzar un DAC permet comprovar el funcionament de manera més senzilla i amb mitjans més econòmics.

El DAC que s'ha escollit per instal·lar a la placa PiGA és el TLV5614CD de Texas Instruments, que té una resolució de 12bit per cada un dels quatre canals de sortida i rep les dades del processador mitjançant comunicació sèrie de fins a 20MHz . Precisament, el fet de tenir múltiples sortides és molt útil per la monitorització simultània de fins a quatre senyals alhora, però això afecta negativament a la freqüència d'actualització de les sortides analògiques: el temps de refresc de les sortides augmenta proporcionalment amb el nombre de canals a visualitzar, així, si només hi ha un canal actiu, la sortida s'actualitza cada 1MHz, però si hi ha els 4 canals actius, la sortida d'un mateix canal s'actualitza cada 250kHz a causa de que 1MHz és la màxima freqüència amb la que el TLV5614CD pot rebre i representar els valors de 12 bits que li arriben des de l'FPGA.

### 3.2.7 El sensor làser de deformació

Per a la detecció i quantificació del moviment i deformació que hi ha a la punta de l'actuador piezoelèctric s'ha utilitzat un sensor òptic que obté aquestes mesures a partir de la reflexió de la llum làser que emet. L'aparell de què es disposa per a realitzar les mesures és el model optoNCDT1627, del fabricant *Micro-Epsilon*, el qual ofereix diferents rangs de mesura d'entre 2mm i 200mm, donant com a sortida un valor analògic de tensió d'entre 0V i 10V o de corrent entre 4mA i 20mA. El sensor, com es veu a la Figura 3.13, utilitza el principi de triangulació òptica: un raig de llum es projecta sobre la superfície sobre la qual es volen fer les mesures. La reflexió difusa d'aquest feix de llum es capta al receptor òptic de l'aparell: un element PSD d'alta sensibilitat i resolució que, posicionat a una distància i angle del raig làser, permet obtenir la distància a la qual es troba la superfície a mesurar. Els convertidors de senyals interns de l'aparell se n'encarreguen de linealitzar el valor analògic de sortida amb la distància mesurada.

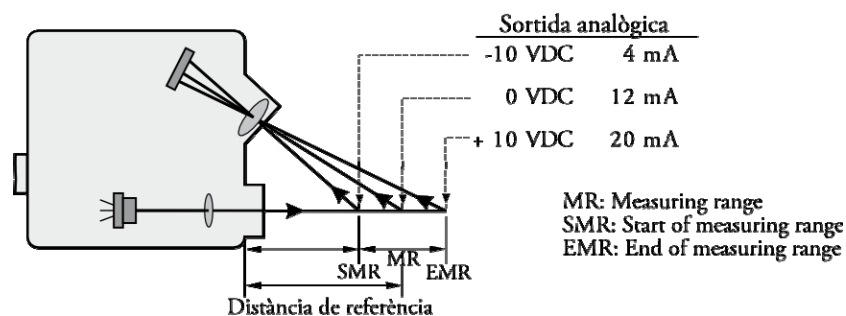


Figura 3.13: Principi de funcionament del sensor làser de deformació [10]



Per ajudar a captar els valors mesurats i dotar de més control sobre el sistema de mesura, aquest aparell de mesura va acompanyat d'un controlador que, a part de realitzar integracions sobre els valors de mesures obtinguts directament del sensor làser per tal d'obtenir resultats amb menys irregularitats, també és una eina d'interfície entre l'usuari i l'equip de mesura. Aquest accessori té uns indicadors LED a la carcassa que indiquen si l'alimentació del sistema és correcta, si la superfície a mesurar està excessivament a prop, dins del rang de mesura (RM) o excessivament lluny. A part, aquests i alguns altres senyals també es troben com a senyals de sortida de l'aparell per a què puguin ser utilitzades i interpretades en qualsevol tipus d'aplicació de control o automatisme. A continuació es llisten els senyals que ofereix el controlador de l'NCDDT1627 on també es pot observar que el connector Sub-D de 25 pins per on s'obtenen aquestes sortides també s'usa com a entrada de les alimentacions:

- Desplaçament de la superfície mesurada. Senyal analògic de tensió del sensor entre  $\pm 10\text{Vdc}$
- Referència dels valors analògics
- Intensitat de la llum captada. Valor de tensió analògic de 0 a  $10\text{Vdc}$
- Error: la intensitat de la llum que arriba al sensor és massa alta/baixa.  $+24\text{Vdc} / 10\text{mA}$
- Làser aturat
- GND de l'alimentació
- Alimentació del sistema de mesura.  $+24\text{Vdc}$
- Desplaçament de la superfície mesurada. Senyal analògic de corrent del sensor d'entre  $4\text{mA}$  a  $20\text{mA}$
- Senyal TxD per a la transmissió de dades en RS-232.
- Superfície a mesurar dins del rang de mesura (RM).  $+24\text{Vdc} / 10\text{mA}$
- Senyal RxD per a la recepció de dades en RS-232
- Referència de tensió per al sistema de comunicacions en RS-232
- La superfície a mesurar està més enllà del rang de mesura (EMR).  $+24\text{Vdc} / 10\text{mA}$
- RTS (*ready to send*) senyal que arriba de l'exterior indicant que es poden transmetre valors pel port TxD. Amb aquest senyal s'estalvia l'enviament d'alguns bits propis del protocol RS-232 amb l'objectiu d'agilitzar les comunicacions.



- La superfície a mesurar es troba per sota del rang de mesura (EMR). +24Vdc / 10mA

Precisament, el valor de tensió analògic de tensió entre 0V i 10V és el senyal de sortida que s'aprofitarà per obtenir el desplaçament que s'origina a la punta de l'actuador piezoelèctric.

Val a dir que per a la posada en funcionament de la bancada, els resultats que s'obtinguin a partir del sensor làser seran únicament per a ser visualitzades a través de l'oscil·loscopi amb l'únic objectiu de poder observar i demostrar que el moviment de l'actuador piezoelèctric s'avé amb el de la consigna donada. Com s'ha dit anteriorment, no es tancarà el llaç de control de posició, per tant, la magnitud de la deformació de l'actuador no es dirigirà cap a la placa d'interfície per a ser digitalitzada i tractada en el control.

### 3.3 L'etapa de control: l'FPGA

Un dels objectius del projecte és poder realitzar el control dels actuadors piezoelèctrics a la major velocitat possible, és per això que s'han elegit ADC a 1,25MHz amb comunicacions en paral·lel o MOSFET de potència i d'alta freqüència (fins a 500kHz). Per tant, cal disposar d'un element de control capaç d'executar l'algorisme de control, llegir les diferents mesures i donar les ordres a la bancada a la major velocitat possible. Per a realitzar aquesta tasca, doncs, s'ha cregut convenient utilitzar una FPGA.

Les FPGA són uns dispositius electrònics formats per una sèrie de matrius compostes per desenes de milers de *cel·les lògiques* capaces d'interconnectar-se entre si per tal de que acabin formant circuits electrònics equivalents a la lògica cablejada. A part, a l'interior de les FPGA cada cop s'hi estan incorporant més maquinari electrònic per tal de què algunes funcions que es programin puguin ser implementades fàcilment, sense gastar un nombre excessiu de cel·les lògiques, el qual permet que siguin executades més ràpidament. Com es veu a la Figura 3.14, alguns d'aquests components són multiplicadors específics de 18 bit, diversos blocs de memòria RAM o ROM, gestors digitals de rellotge (DCM) o l'opció de donar múltiples configuracions (entrada/sortida, diferents nivells de tensió, alta velocitat, entrades diferencials, etc.) dels ports de què disposa l'FPGA. En els models més recents també s'incorporen mòduls de DSP per tal d'agilitzar operacions de càlcul, gestors de rellotge més veloços o fins i tot algun bloc d'entrades analògiques amb el seu propi convertidor analògic-digital.

A més, el fet que el codi de programació estigui tan relacionat amb el maquinari, permet fer treballar alguns elements electrònics més elementals com a unitats més complexes. Per exemple, agrupant diversos LUT (cada cel·la lògica en té un) es pot aconseguir formar una memòria RAM addicional, generar *shift registers* amb facilitat o multiplexadors.



Actualment tots els fabricants d'FPGA ofereixen programes que faciliten molt la seva programació i a cada nova versió que es distribueix, hi ha evidents millores en els compiladors que interpreten el codi programat i el tradueixen a cel·les, interconnexions, ús de memòries, etc. minimitzant cada vegada més el consum de cel·les lògiques i optimitzant la distància de les connexions entre elles. Però aquests programes no només poden actuar sobre l'estructura física de l'FPGA mitjançant el codi, existeixen *softwares* específics que permeten realitzar operacions en el més baix nivell. Això significa que es poden realitzar agrupacions de cel·les manualment, connectar LUT per formar memòries o multiplexadors, decidir quin DCM utilitzar i realitzar-ne les connexions fins als *flip-flop* de les cel·les que es vulgui, entre moltes altres operacions. A més, tot això es realitza en una interfície visual i intuïtiva que bàsicament serveix per visualitzar la quantitat d'unitats lògiques que es fan servir, com estan col·locades i revisar la configuració que proposa el compilador amb la possibilitat d'afegir-hi alguna millora.

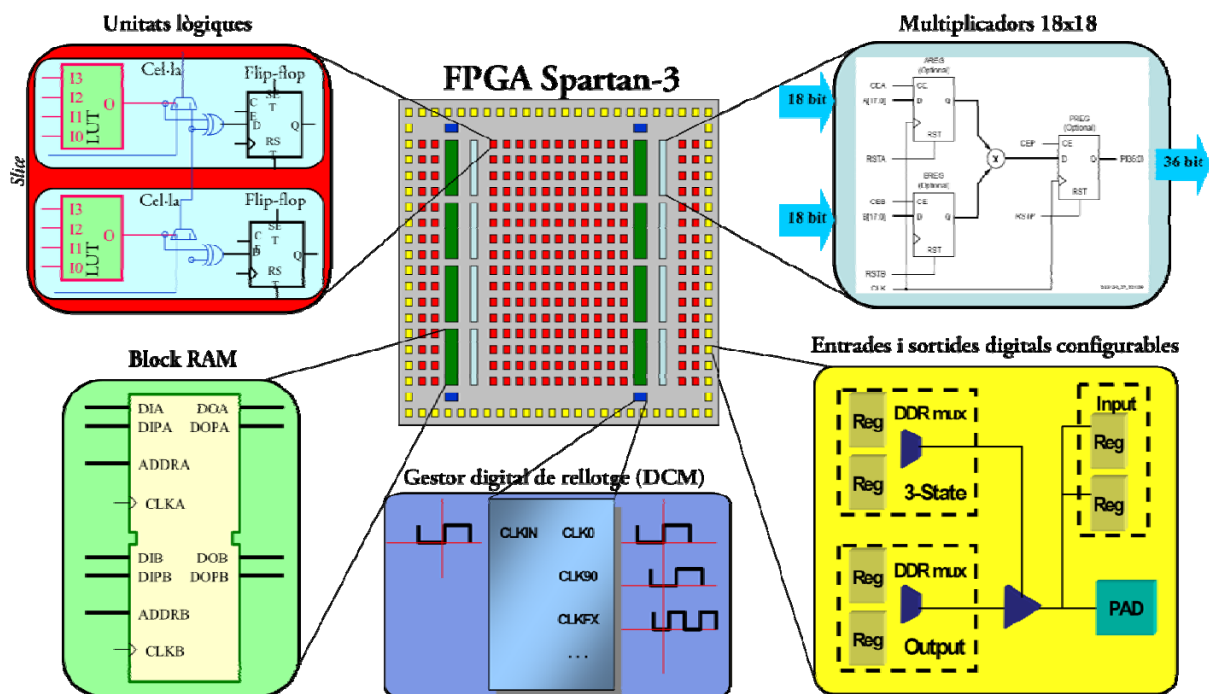


Figura 3.14: Disposició interna de les cel·les lògiques i les unitats de maquinari de l'interior d'una FPGA Spartan-3

La interconnexió d'aquestes unitats lògiques i blocs de maquinari es realitza mitjançant la programació en un llenguatge de programació descriptiu de maquinari VHDL (*VHSIC Hardware Description Language*, on *VHSIC* significa *Very High Speed Integrated Circuit*). Aquest llenguatge, creat durant la dècada del 1980 està totalment enfocat a la generació i descripció de hardware en ASIC (*Application Specific Integrated Circuit*), i això ho demostra la modularitat a la que obliga la programació en aquest llenguatge, on el codi es separa en blocs funcionals interpretades com a caixes negres amb entrades i sortides que, connectades adequadament acaben formant el programa. Gràcies a l'ús d'aquest llenguatge i al compilador



que el processa i el converteix a maquinari, és possible realitzar la connexió d'aquestes cel·les d'una manera organitzada per tal d'obtenir físicament el codi que s'ha programat.

La versatilitat que ofereixen aquests dispositius, les possibilitats en quant a velocitat d'execució, que es pugin portar a terme diferents processos a la vegada o el fet de què en una FPGA el codi programat en VHDL s'acabi implementant fàcilment en maquinari és el factor que porta al fet d'haver elegit una FPGA enlloc d'un DSP.

Bàsicament, la diferència entre aquests dos dispositius rau en què els DSP tenen una molt bona arquitectura de maquinari fixa sobre la qual s'hi executa el programa i, a més disposa de perifèrics dedicats a realitzar operacions repetitives, comunicacions, etc. En canvi, en les FPGA l'estructura del maquinari la crea cada programador que dissenya el seu propi programari, podent-lo fer totalment a mida, consumir els mínims recursos (cel·les lògiques) i optimitzar-lo per l'aplicació final, sense haver-se d'adaptar a una estructura o perifèrics donats.

L'FPGA utilitzada és la XC3S400, que conté més de 400.000 portes que constitueixen les més de 8064 cel·les lògiques. A part, es disposa de més de 288KB en blocs de memòria RAM, 16 multiplicadors dedicats i 4 gestors de rellotge o DCM (*Digital Clock Manager*) repartits per tot el dispositiu. Un dels fets a destacar d'aquest model d'FPGA és que pertany a la família de baix cost *Spartan-3* de *Xilinx*, la qual cosa significa que, tot i no ser una FPGA d'última generació, la incorporació d'aquesta tecnologia a la plataforma no repercutiria significativament en el cost final del projecte. Aquesta FPGA s'usarà muntada en una placa comercial, la *Spartan-3 Starter Board*, de *Digilent Inc.* ja que ofereix muntades, configurades i dimensionades totes les alimentacions necessàries per al correcte funcionament del sistema i un oscil·lador a 50MHz que actua com a rellotge del sistema, a més de diversos connectors per a transmetre senyals als *pads* de l'FPGA i, fins i tot, un seguit de commutadors, LED, pulsadors i indicadors 7-segments per a facilitar les comunicacions d'entrada i sortida amb l'usuari.

Un dels fets més apreciats en les FPGA és, també, la gran quantitat de ports d'entrada/sortida de què disposen. El model amb què es treballarà en té 173, 120 dels quals es dirigeixen directament cap a l'exterior de la placa gràcies a 3 connectors de 40 pins cadascun. Dos d'aquests connectors són els que van directament acoblats a la placa de mesures PiGA, que ha estat prèviament dissenyada especialment a mida de la tipologia, disponibilitat i funcionalitat de cada un d'aquests ports de l'FPGA.

### 3.3.1 Elecció de la freqüència de commutació

L'elecció de la freqüència de commutació és un dels factors més crítics de tot el sistema i el que, segurament, va lligat i lliga a més elements de tots. Això fa que s'hagi d'acabar prenent una decisió de compromís principalment entre els següents factors: la freqüència de rellotge de



què es disposa, la resolució que es necessita, els límits imposats pels components electrònics i la dinàmica de la resposta del sistema. Seguidament s'analitzen aquests factors:

- La **frequència de l'oscil·lador** condiciona directament a la freqüència màxima de commutació ja que aquesta serà, com a màxim i pel cas de menys resolució, igual a la freqüència màxima del rellotge del sistema. La placa de l'FPGA conté un oscil·lador a 50MHz i, mitjançant un dels DCM interns, es pot arribar a duplicar aquesta freqüència. Per tant, es prendran els 100MHz com a freqüència de rellotge del sistema ( $F_{CLK}$ ).
- La **resolució del PWM** afecta exponencialment a la durada dels períodes de commutació, ja que, cada cop de rellotge representa una possible canvi en el senyal PWM. A més resolució, més cops de rellotge ha de tenir un període de commutació. Per exemple, un PWM de 8bit tindrà, com a mínim, 256 polsos de rellotge; un de 10bit, 1024; de 12bit, 4096; etc.
- Els **components electrònics**, més que afectar directament sobre la freqüència, estableixen quin és el màxim que es pot assolir. A la bancada, l'únic element d'electrònica de potència actiu són els MOSFET, que són capaços de commutar fins a 500kHz, per tant aquest serà el límit superior a l'hora d'elegir la freqüència de commutació. Però a la placa d'interfície ja s'ha vist que les sondes de corrent i tensió comencen a donar deformacions en els valors de sortida a partir dels 100kHz. Per altra part, el sensor làser de deformació té freqüències d'integració de 37kHz com a màxim però, com que per a la posada en funcionament de la bancada no es tanca el llaç de posició, les limitacions que imposi aquest element no seran tan importants com les que imposi un element que interaccioni directament o que prengui mesures que sí que seran necessàries pel sistema de control.

A part d'aquests factors que limiten la freqüència de treball degut a les seves característiques físiques, també cal tenir en compte que en els sistemes de control requereixen un temps per realitzar les mesures, adequar-les, digitalitzar-les, transmetre-les i fer els càlculs necessaris.

Per prendre la decisió s'ha realitzat la següent taula on, prenent com a temps base els polsos a 100MHz de la sortida del DCM, es comparen les freqüències de commutació que s'obtidrien segons la resolució que es volgués.



Resolució PWM [bit]	Freqüència commutació [kHz]		Resolució PWM [bit]	Freqüència commutació [kHz]	
	mínim	màxim		mínim	màxim
6	1.562,50	3.125,00	13	12,21	24,41
7	781,25	1.562,50	14	6,10	12,21
8	390,63	781,25	15	3,05	6,10
9	195,31	390,63	16	1,53	3,05
10	97,66	195,31	17	0,76	1,53
11	48,83	97,66	18	0,38	0,76
12	24,41	48,83	19	0,19	0,38

Taula 3.1: Resolució del PWM i freqüències de commutació

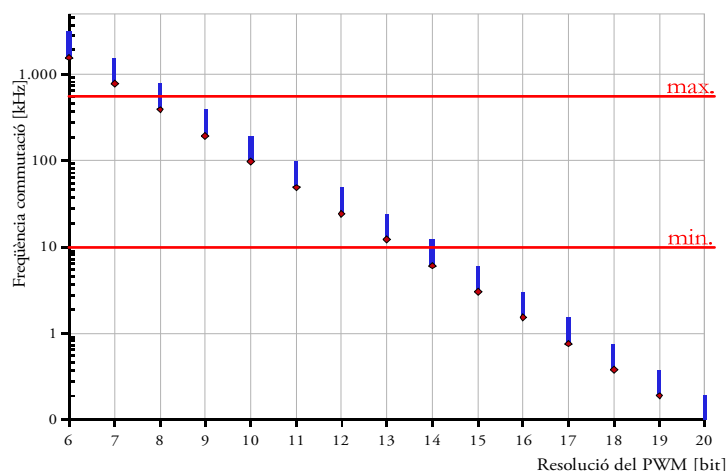


Figura 3.15: Resolució del PWM i freqüències de commutació

Les dues línies vermelles de la Figura 3.15 representen els límits superior i inferior que s'han pres com a acceptables per a la freqüència de commutació del sistema: el límit superior està marcat als 500kHz que imposen els MOSFET, i el límit inferior s'ha col·locat als 10kHz ja que, si no s'obtinguessin resultats positius per sobre d'aquest límit, no tindria sentit estar treballant amb FPGA i utilitzar la resta d'elements electrònics per treballar a alta resolució i velocitat.

Havent imposat un rang de freqüències, el segon pas a fer és l'elecció de la resolució. En aquest cas, com es veu a la Figura 3.15, ja es tenen els límits superior i inferior que vénen imposats per l'efecte dels límits en la freqüència de commutació definits.

Per a fer l'elecció d'un valor entre els 8bit i els 14bit, s'haurà d'analitzar l'error estacionari que, per efectes de la resolució, es produeix en cada cas i, elegir el que millor combini un error baix, una freqüència elevada i, sobretot, un major aprofitament del rang de valors que ofereix treballar amb un nombre de bit concret. A la taula següent es mostren els valors de l'error obtinguts per cada cas.





Resolució	Divisions PWM màx. // mín.	Freqüències PWM mín. // màx. [kHz]	Error absolut màxim [V]	Error relatiu màx. (respecte 400V)
8 bit	255 // 200	392,1 // 500,0	1	0,25 %
9 bit	511 // 256	195,7 // 390,6	0,781	0,19 %
10 bit	1.023 // 512	97,6 // 195,3	0,391	0,098 %
11 bit	2.047 // 1.024	48,8 // 97,6	0,195	0,048 %
12 bit	4.095 // 2.048	24,4 // 48,8	0,0976	0,024 %
13 bit	8.191 // 4.096	12,2 // 24,4	0,0488	0,012 %
14 bit	10.000 // 8.192	10,0 // 12,2	0,0244	0,006 %

Taula 3.2: nombre de divisions, freqüència i errors segons la resolució del PWM

A la Figura 3.16 es pot veure la relació entre la freqüència de commutació de l'oscil·lador, la freqüència de commutació del PWM i la seva resolució. Es veu com, si es vol augmentar la resolució mantenint la mateixa freqüència de PWM, caldria augmentar la freqüència del rellotge del sistema per tal d'obtenir un major nombre de divisions en un mateix temps.

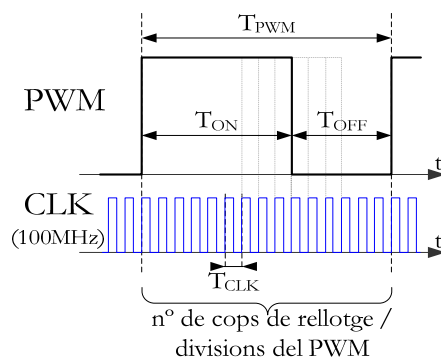


Figura 3.16: Relació entre el nombre de cops de rellotge i la freqüència del PWM

El cas és que la freqüència del sistema ( $F_{CLK}$ ) no es pot augmentar a causa de que l'oscil·lador de 50MHz ve instal·lat a la placa i els gestors de rellotge (DCM) només poden doblar la freqüència d'entrada, aconseguint els  $F_{CLK}=100\text{MHz}$  definitius. Aprofitant el que es té i observant la Taula 3.2, per obtenir un PWM amb el major nombre de divisions caldrà fixar-se amb el valor màxim de la segona columna i la seva freqüència corresponent, el valor mínim de la tercera columna. Com que el que es busca és estar en un rang de freqüències elevades, les resolucions de 9 a 11bit són les més adients per treballar a unes quantes desenes de kHz. Finalment, s'opta per una resolució de 10bit, ja que, a més, per aquesta resolució hi correspon una freqüència de commutació mínima de 97,66kHz, per tant, assolir la fita dels 100kHz és fàcilment assolible tan sols reduint lleugerament el nombre de divisions del PWM, passant de 1.023 a 1.000 divisions (o cops de rellotge) de durada.

Amb aquestes 1.000 divisions que pot tenir el PWM s'arriba a aconseguir un error absolut de 0,2V, el qual, relatiu als 400V que hi poden haver al bus de contínua, representa un error del 0,05%.





## Capítol 4

### 4. Programa de control implementat

De les tres etapes de què esta formada la bancada, l'etapa de control és la que es pot considerar que té més complexitat. Encara que es parteix de la placa comercial amb l'FPGA muntada, encara resta el més complex: dissenyar el programa de control i implementar-lo.

Veient el bloc "Control" a la Figura 3.1 com una caixa negra amb entrades i sortides, s'interpreta que les funcions d'aquesta part de la bancada seran bàsicament tres: llegir i interpretar els senyals de les mesures realitzades que provenen de la interfície, realitzar els càlculs i operacions necessaris a partir dels valors d'entrada, i transmetre adequadament el resultat d'aquestes operacions a l'etapa de potència, o més concretament, al convertidor d'energia elèctrica.

Baixant una mica de nivell i col·locant-nos ja a pensar com es programaran totes aquestes tres tasques en VHDL, es veu com s'hauran de crear diferents *blocs* de programa (que més endavant s'anomenaran *perifèrics*) destinats, cada un, a una funcionalitat concreta: des de la lectura dels senyals (un bloc per cada tipus de senyal diferent) fins a la generació del senyal PWM que comandarà el convertidor, passant per blocs destinats a operacions internes com comparadors o els càlculs per trobar el cicle de treball adequat per al següent període.

Tot el que s'ha explicat als apartats 2.1, 2.2 i 2.3 té la seva aplicació en aquesta fase del projecte. Implementar els llaços de control, decidir la funcionalitat i l'estructura interna de cada un dels blocs que formen el sistema de control... és el que cal programar en l'FPGA per acabar obtenint un dispositiu capaç d'aconseguir l'objectiu inicial: accionar controladament els actuadors piezoelèctrics. Per a la comprovació del funcionament de la bancada per a la posada en marxa del prototip, s'han implementat els dos tipus d'accionament més elementals: el control de l'actuador en llaç obert i el control de tensió en llaç tancat. Per fer-ho s'han creat un seguit de blocs de codi que es presenten i descriuen a l'apartat 4.2. Un cop creats i comprovat el seu funcionament, s'han realitzat les connexions pertinents entre ells segons el tipus de control que es vulgui implementar i s'han extret una sèrie de resultats que són els que es presenten a l'apartat 5.2.



## 4.1 Estructura de la programació

Per a programar l'FPGA s'ha fet servir el llenguatge VHDL, creat durant els 1980 al Departament de Defensa dels Estats Units quan realitzaven tasques de descripció i documentació del comportament dels ASIC que cada vegada més incorporaven els aparells dels seus proveïdors. És per això, que aquest llenguatge tracta cada funció com si fos un circuit integrat i, per tant per cada una es defineixen dues parts: l'estructural i el comportament.

Començant per la descripció estructural, per programar qualsevol codi en VHDL primer s'ha de generar una espècie de caixa negra, anomenada *entitat*, on només s'hi defineix el nom que tindrà aquesta entitat i el tipus i la quantitat de *ports* d'entrada i sortida que ha de tenir. Un cop s'ha definit, es té una “capsa” on col·locar-hi el codi que, a partir dels senyals que es rebin pels ports d'entrada, els ports de sortida emetran els senyals que corresponguin, és a dir, és com tenir un circuit integrat amb un nombre determinat de *pads*, on uns són d'entrada i uns altres de sortida i que, de moment no realitza cap funció. Un cop definida la part estructural, cal implementar el *comportament* intern d'aquesta entitat. Com que es treballa amb maquinari, bàsicament es defineixen *senyals* enlloc de variables, ja que es poden interpretar com a connexions físiques entre dos punts de la matriu de cel·les de l'FPGA. A més, el codi s'ordena per *processos*, que són els blocs de codi de programa que determinen el comportament intern de l'*entitat*. L'avantatge d'ordenar el codi per processos és que aquests es poden executar el codi que contenen en qualsevol moment (síncronament i/o asíncrona) i simultàniament amb altres processos que ja s'estiguin executant o que també s'executin a causa del canvi de valor d'algun *senyal*. A la figura següent es veu aquesta jerarquia en l'organització del codi del programa en VHDL: cada perifèric conté (com a mínim) una entitat amb una sèrie de ports d'entrada i sortida. A dins de cada entitat hi ha diversos processos que, intercomunicats per senyals, acaben formant tota l'estructura del programa que acaba donant la funcionalitat al perifèric.

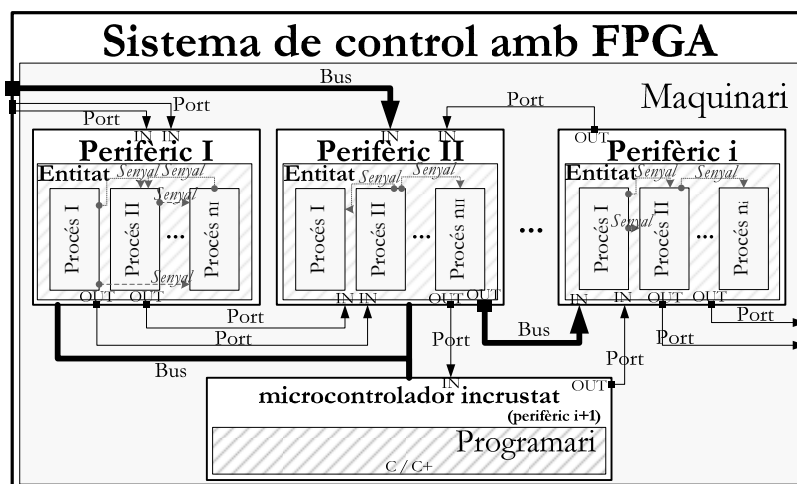


Figura 4.1: Jerarquia d'estructures en el llenguatge de programació de maquinari VHDL



Seguint aquesta estructura de programació, el criteri seguit per realitzar l'algorisme de control ha estat de crear una entitat per a cada un dels blocs del sistema de control (per exemple els de la Figura 2.8). A més, per permetre una millor programació per mòduls, s'ha generat un bloc anomenat *perifèric* per cada una d'aquestes entitats. D'aquesta manera l'estructura obtinguda està formada per unitats elementals de codi que faciliten molt identificar quina és la seva funció i permeten ser aprofitats en futures aplicacions. Com es veurà més endavant, no només s'han hagut de crear blocs de programa per a generar el sistema de control sinó que també ha fet falta crear perifèrics més específics que s'adaptin a les condicions més específiques que requereixen alguns components electrònics de la placa PiGA d'interfície.

## 4.2 Perifèrics generats

Per crear cada un dels perifèrics que formaran el sistema de control s'han seguit uns criteris bàsics per uniformitzar la seva estructura externa i funcionament. El primer punt a tenir en compte és que cada perifèric només porti a terme una única tasca, d'aquesta manera es generen blocs de codi més genèrics, la qual cosa facilita la seva utilització en altres projectes, i a més, el fet de tenir petits blocs amb funcionalitats concretes fa el projecte més intuïtiu i de més fàcil organització. Un altre tret característic que s'ha donat a tots els blocs perifèrics és que tenen tres ports de control comuns: el d'activació o "*Enable*", el de reinicialització o "*Reset*" i el d'entrada dels polsos del rellotge del sistema, anomenat "*CLK*". En els apartats següents es mostra l'estructura interna d'aquests blocs i la funció que té dins del sistema cada un d'ells.

Per a la descripció completa de tots els perifèrics, igual com es fa al programar en VHDL, s'han definit per separat la seva part estructural i la de comportament. En la definició estructural es parla principalment dels ports d'entrada i sortida que han estat necessaris i, en la definició de comportament s'explica amb més detall la manera com funciona internament cada un dels perifèrics.

Cal dir que s'ha utilitzat una nomenclatura diferent per als ports segons si s'anomenaven a la definició estructural o a la de comportament: a la part estructural, es fa una descripció qualitativa de la tipologia de les entrades i sortides i, per tant, els seus noms són únicament descriptius i en molts casos un mateix port pot aparèixer en diversos perifèrics. En canvi, a la definició del comportament, els nom dels ports segueixen una mateixa estructura pel que fa a la nomenclatura que principalment es distingeix perquè tots tenen un prefix que indica al perifèric al que pertanyen i, separat amb un guió "\_", continua el nom del port, que vindria a ser una abreviació del que se li havia donat en la definició estructural. Per exemple, l'entrada de rellotge que s'utilitza en la part estructural s'anomena *CLK* en tots els perifèrics, però en canvi, a la part de comportament s'usa *pwm\_CLK*, *adc\_CLK*, *fil\_CLK*, etc. que diferencia si és l'entrada de rellotge del bloc PWM, del convertidor analògic-digital (ADC) o del Filtre,



respectivament. Aquesta nomenclatura és la que s'ha utilitzat en el codi de programa amb l'objectiu d'evitar repetir el mateix nom de port en perifèrics diferents i per fer-ne una ràpida identificació enmig del codi i està descrita a l'annex D.1.1.

#### 4.2.1 Generador de senyals PWM

El mòdul de PWM s'ha dissenyat sabent que es treballarà amb un convertidor de mig pont en H on els seus semiconductors puguin actuar l'un independentment de l'altre, el qual obliga a afegir elements de seguretat per evitar configuracions que siguin destructives per a la bancada. En els controls PWM on els commutadors no poden treballar independentment, el convertidor només pot estar en dos possibles estats: un commutador està en l'estat oposat de l'altre, corresponent als dos esquemes centrals ((b) i (c)) de la Figura 4.2. El problema és que amb aquestes dues posicions no es podria realitzar el control complet dels actuadors piezoelèctrics ja que, tota la càrrega que entrés a l'element piezoelèctric durant l'estat (b) tornaria a sortir quan es passés a l'estat (c), eliminant qualsevol posició fixa intermitja.

Per realitzar el control independent dels commutadors SW1 i SW2 caldran dos senyals PWM (*PWM1\_Duty* i *PWM2\_Duty*) d'entrada provinents del bloc de control. Això comporta que puguin realitzar-se qualsevol de les topologies de la Figura 4.2, necessàries per controlar adequadament l'actuador piezoelèctric, però afegint el risc que pot comportar provocar accidentalment un curtcircuit com el del cas (d).

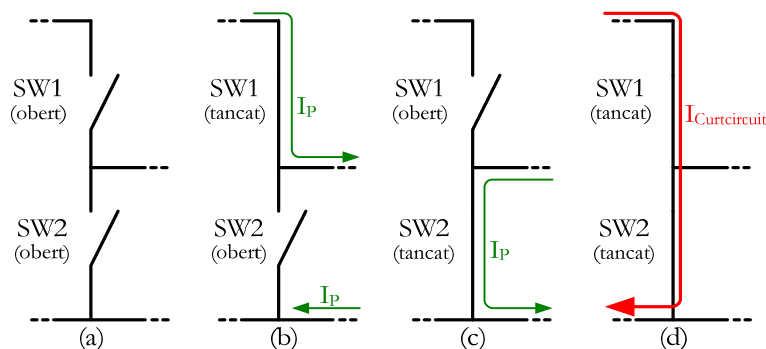


Figura 4.2: Diferents configuracions dels commutadors del pont en H

El risc de curtcircuit apareix de dues maneres: la primera i més evident pot ser deguda a què des del control es doni erròniament la consigna de tancar els dos commutadors SW1 i SW2, ja sigui a causa d'un error en el càlcul o a l'entrada de soroll durant la transmissió del senyal PWM del cicle de treball i, la segona causa de curtcircuit es dona a causa dels retards que tenen els transistors en el moment de realitzar el pas d'estat de tall a lineal i viceversa que. En la Figura 4.3 es veu com en el moment d'intercanviar l'estat dels commutadors es poden produir curtcircuits de curta durada (ombrejat en groc) que, encara que sovint no siguin destructius a



curt termini, afegeixen soroll i transitoris molt grans al sistema i degraden ràpidament l'estat dels semiconductors.

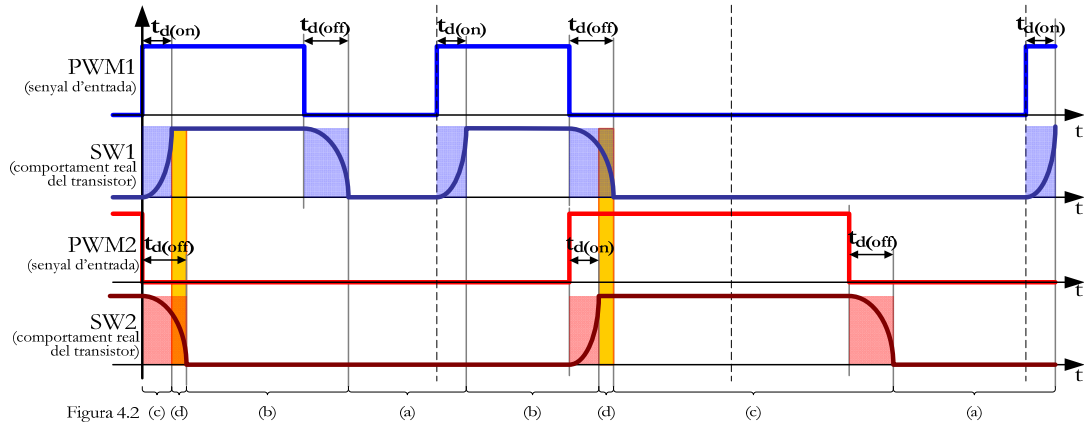


Figura 4.2: Curtcircuits provocats pels retards entre les operacions de tall i conducció en els transistors

Com es veu a la figura anterior, aquest tipus de curtcircuit ve ocasionat a causa de que el temps de passar de tall ( $t_{d(off)}$ ) és superior al temps de passar a conducció ( $t_{d(on)}$ ) i provoca que els dos transistors estiguin deixant passar el corrent a la vegada. Per evitar aquest tipus de curtcircuits s'afegeix el que s'anomenen *temps morts* o *banda morta* (de l'anglès *dead band*) després de que un transistor passi a estat de tall. Això significa que es dona un temps suficient per a que s'acabi la operació de tall d'un transistor abans no es doni l'ordre d'obertura a l'altre. A la Figura 4.4 es repeteix el mateix exemple anterior però introduint els temps morts ( $t_{DB}$ ) ombrejats en verd per comprovar com s'anul·len els curtcircuits.

Per a la bancada, el full de característiques del fabricant dels MOSFET utilitzats dona uns temps de  $t_{d(on)}=22\text{ns}$  i  $t_{d(off)}=52\text{ns}$  i al programa que s'implementarà s'ha deixat  $t_{DB}=100\text{ns}$ .

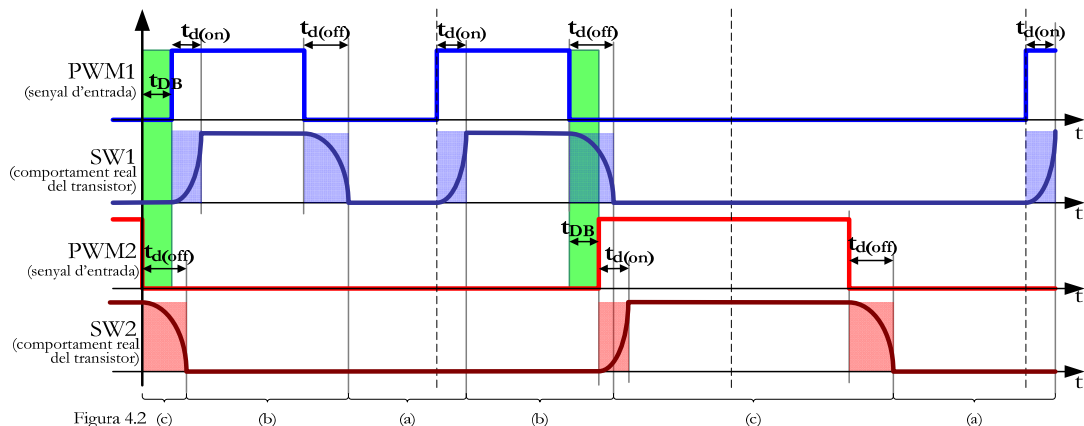


Figura 4.4: Anul·lació dels curtcircuits amb la incorporació dels temps morts

#### 4.2.1.1 Definició estructural

Més específicament pels ports d'entrada, com es veu al diagrama de la Figura 4.5, a part dels tres ports *Enable*, *Reset* i *CLK*, dos ports més importants són els que transmeten el valor del



cicle de treball ( $PWM1\_Duty$  i  $PWM2\_Duty$ ), que no són ports simples sinó que, d'acord amb la decisió presa a l'apartat 3.3.1 sobre la resolució dels senyals PWM, aquests ports hauran de ser busos de dades de 10bit. A part, cada una d'aquestes entrades va acompanyada pel senyal  $PWM1\_Actiu$  i  $PWM2\_Actiu$  respectivament, que simplement tenen la funció de donar redundància per assegurar que el valor del PWM és diferent o no de zero i d'aquesta manera evitar un possible curtcircuit a la bancada.

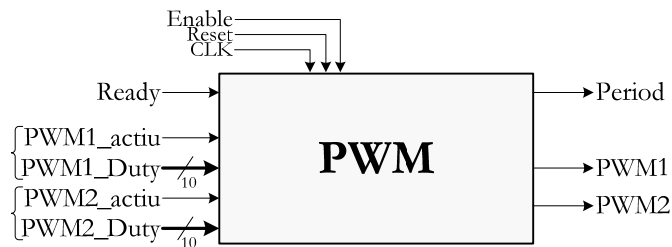


Figura 4.5: Esquema del bloc PWM

El bloc disposa d'una entrada més, el senyal *Ready*, encarregat de rebre el pols (asíncron o no) d'un bloc anterior que indiqui que els valors de cicle de treball que hi ha als dos ports d'entrada s'han actualitzat i estan disponibles per poder ésser processats a l'interior del bloc PWM. En quant als tres ports de sortida, dos d'ells ( $PWM1$  i  $PWM2$ ) són els senyals modulats per amplada de polsos que aniran cap al terminal *porta* dels transistors indicant quins són els instants de temps que han d'estar permetent o blocant el pas del corrent. I, finalment, el port *Period* és una sortida que dona un pols en el punt de temps mig entre el flanc de pujada i de baixada del senyal de PWM que en aquell moment estigui actiu. Aquest senyal es pot utilitzar principalment per a la sincronització de les captures de valors de la bancada.

#### 4.2.1.2 Definició del comportament

El funcionament del bloc PWM no és massa complex i es realitza d'una manera molt semblant a la que es faria si s'estigués treballant amb lògica analògica. Mitjançant un comptador que augmenta el seu valor a cada senyal del rellotge d'entrada ( $CLK$ ) s'aconsegueix crear un senyal en forma de dent de serra. Per seguir amb les especificacions de l'apartat 3.3.1, per tal d'aconseguir un PWM de 10bit de resolució, partint d'un rellotge que genera polsos a 100MHz, caldrà que el comptador vagi de 0 a 999 per tal de tenir els  $F_{CLK}=1000$  cops de rellotge que acabin donar una freqüència de commutació de  $F_{PWM}=100kHz$ . Aquest nou senyal (*pwm\_comptador*) és el que acabarà entrant als processos de comparació (Comparador PWMX) per a treure un senyal intern de PWM (*pwmX\_PWM\_int*). El criteri seguit per generar aquest senyal és que, si el valor del cicle de treball ( $PWMX\_Duty$ ) és superior al valor del comptador (*pwm\_comptador*), el senyal sortint serà de nivell alt i viceversa.



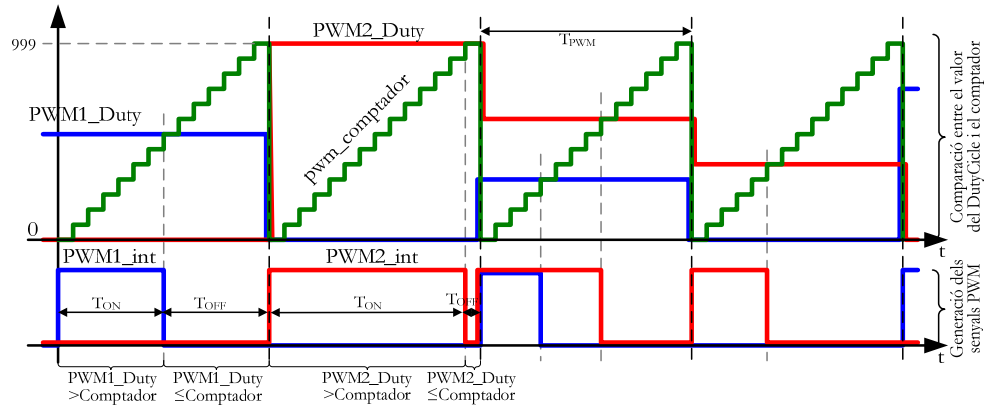


Figura 4.6: Generació del senyal PWM a partir de comparar una rampa amb el cicle de treball

Els senyals de PWM que s'han generat en aquest pas no són els definitius perquè encara falta comprovar que no es doni la combinació dels dos commutadors en posició de conducció i afegir els temps morts després dels flancs de baixada. Aquests dos processos es realitzen a l'últim procés de tots: *Sortida PWMs*, a més, també es la part encarregada de deixar el convertidor en posició obert en cas que s'activi el senyal de *Reset* o es desactivi el bloc sencer mitjançant l'entrada *Enable*.

A la figura següent es mostra l'esquema de blocs de la configuració interna del perifèric, i s'hi representen en caixes els diferents processos que formen el total del codi necessari per generar els dos senyals PWM. El codi de programa en VHDL es troba complet a l'annex D.2.

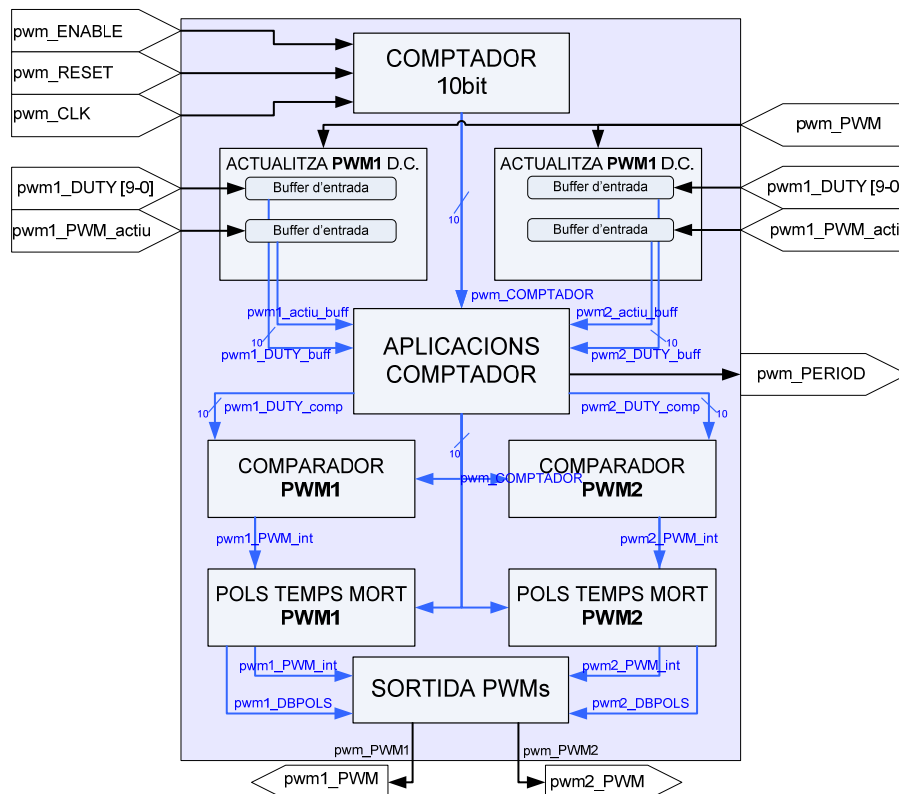


Figura 4.7: Esquema de blocs del programari de PWM



#### 4.2.2 ADC Paral·lel 16 bits

El bloc dels ADC és un perifèric encarregat d'interactuar amb el circuit integrat encarregat de la conversió analògica-digital (ADS8401) de la placa de mesures PiGA. Aquest tipus de circuits integrats no només subministren el valor digitalitzat cap al processador sinó que també necessiten certs senyals d'entrada que indiquin quan fer la conversió o en quin moment transmetre les dades. És per això que per poder interactuar amb aquest component electrònic caldrà tenir previstos una sèrie de ports que vagin directament connectats als pins del circuit integrat del convertidor analògic digital, tant d'entrada com de sortida.

L'objectiu és comunicar-s'hi correctament per tal d'obtenir un valor digital de 16bit a una freqüència d'1MHz.

##### 4.2.2.1 Definició estructural

El circuit integrat de l'ADC té 48 ports dels quals 23 són per alimentacions i referències de tensió, 2 per l'entrada del valor analògic, 6 de control del dispositiu i 16 són per la sortida del valor digitalitzat (més 1 de "no connectat"). Així doncs, d'entrada el perifèric ja compta amb 7 ports dels quals sis són senyals d'interacció amb el dispositiu electrònic:

- CS: *Chip select*. Entrada. Quan està actiu indica a l'ADC que es pot començar el cicle de mostreig i conversió del valor analògic.
- CONVST: *Convert start*. Entrada. Un flanc de baixada li indica que es comenci la conversió del valor analògic a digital.
- RD: *Synchronization pulse for the parallel output*. Sortida. En donar un flanc de baixada, el controlador sap que el valor digital està disponible per ser llegit.
- RESET: Entrada. S'aborta la conversió i es posen els 16 bit de sortida a zero.
- BYTE: Entrada. Senyal de control que serveix per indicar quin *byte* es vol llegir quan es treballa amb només 8 pins de sortida actius.
- BUSY: Sortida. Quan està actiu indica que el convertidor analògic-digital està ocupat realitzant el procés de captura i conversió.

(NOTA: en aquest cas entrada i sortida s'ha posat respecte del circuit integrat de l'ADC)

El setè port és de sortida i, en realitat és un bus de 16bit anomenat DB (*DataBus*) que és per on s'obté, en paral·lel, el valor mostrejat convertit a digital.





A part dels tres ports *Enable*, *Reset* i *CLK* habituals en tots els perifèrics, hi ha dos ports de sortida pels quals s'extreu el valor obtingut del DAC: el primer d'ells és el *DATA\_Out*, que és un bus de 16bit, i l'altre és senyal digital *DATA\_Ready* que en el seu flanc de pujada indica que el valor que hi ha al bus *DATA\_Out* s'ha actualitzat i està disponible per ser llegit.

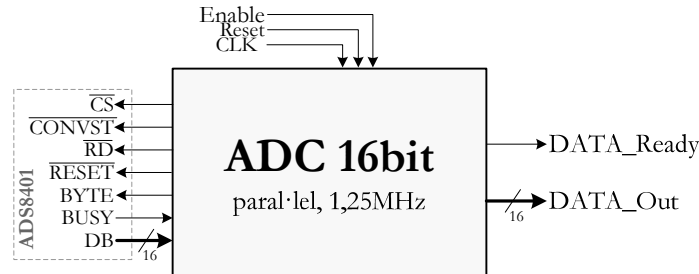


Figura 4.8: Esquema del bloc del convertidor analògic-digital (ADC) de 16bit

#### 4.2.2.2 Definició del comportament

En quant al funcionament, el programa implementat en aquest bloc és una màquina d'estats que segueix el diagrama de temporització descrit a les fulles de característiques de l'ADS8401 i que es mostra a la Figura 4.9, on es determinen els temps de captura, conversió, espera, etc. per a aconseguir els valors de lectura correctes. Partint d'aquest diagrama de temps s'ha dissenyat la màquina d'estats que regeix el comportament de totes les entrades i sortides del perifèric, tal i com es mostra a la Figura 4.10.

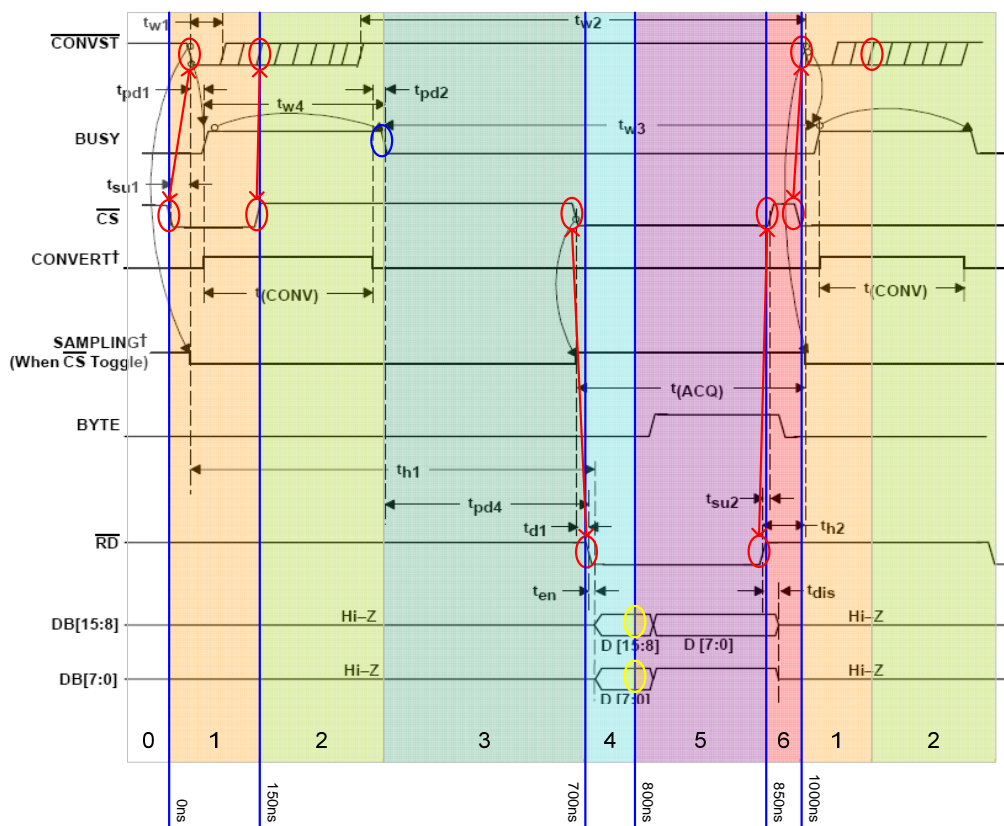


Figura 4.9: Fases de la màquina d'estats en el diagrama temporal de l'ADS8401



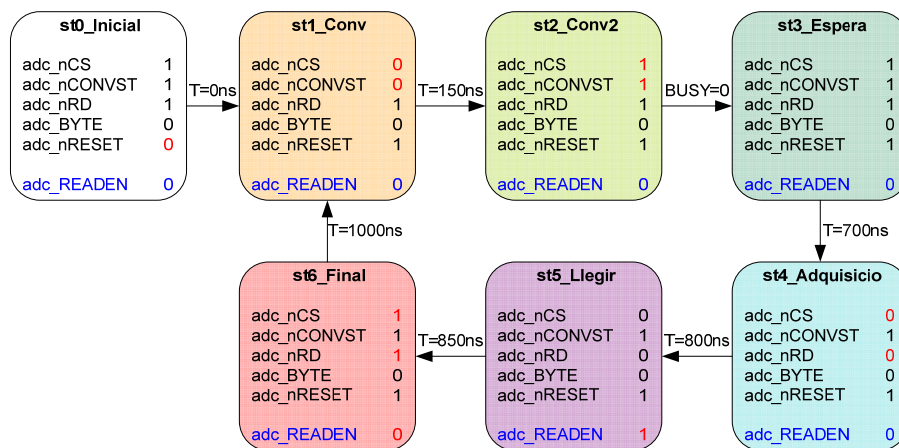


Figura 4.10: Representació de les sortides a cada estat

Com es veu a l'esquema d'estats de la figura anterior, el pas d'un estat a l'altre està quasi sempre regit pels instants de temps des que comença el procés de conversió. Cal dir que tot i que aquest dispositiu és capaç de realitzar conversions a 1,25MHz, s'ha optat per rebaixar aquest valor fins a 1MHz per tal de tenir un total de 10 mostres dels valors en cada període de commutació ( $F_{PWM}=100kHz$ ). Dels set estats definits un correspon a l'estat de reset (st0\_Inicial) i és del qual es parteix quan s'arrenca el sistema. Dels sis restants, dos (st1\_Conv i st2\_Conv2) estan lligats amb el procés de conversió d'anàlogic a digital d'un valor adquirit en el procés anterior; a l'estat st3\_Espera s'hi entra quan el senyal d'ocupat (*Busy*) indica que ja s'ha realitzat la conversió, i se'n surt quan han passat 700ns de l'inici de la conversió per donar pas al procés d'adquisició d'un nou valor analògic en l'estat st4\_Adquisició. El temps que s'està en aquest estat no és el temps total d'adquisició del nou valor ( $t_{ACQ} \geq 150ns$ ) i mentrestant es succeeixen dos estats més: st5\_Llegir, que és quan es capturen els valors del ADC per transmetre'ls a l'interior del bloc de control i l'estat st6\_Final, que deixa passar uns instants per a què s'estabilitzi el valor adquirit anteriorment abans no sigui convertit a digital quan es torni de nou al primer estat: st1\_Conv.

Degut a la importància que té el control del temps en aquest bloc, ha calgut introduir un procés encarregat de comptar el nombre de cops de rellotge que han succeït a partir de l'inici de la conversió. Gràcies al senyal de sortida adc\_TIME que surt d'aquest comptador que abraça de 0 a 99 polsos ( $1000ns \Rightarrow 1MHz$ ), la màquina d'estats pot saber en quin instant s'està i quina és la configuració de pins necessària per complir la tasca de conversió i lectura amb èxit.



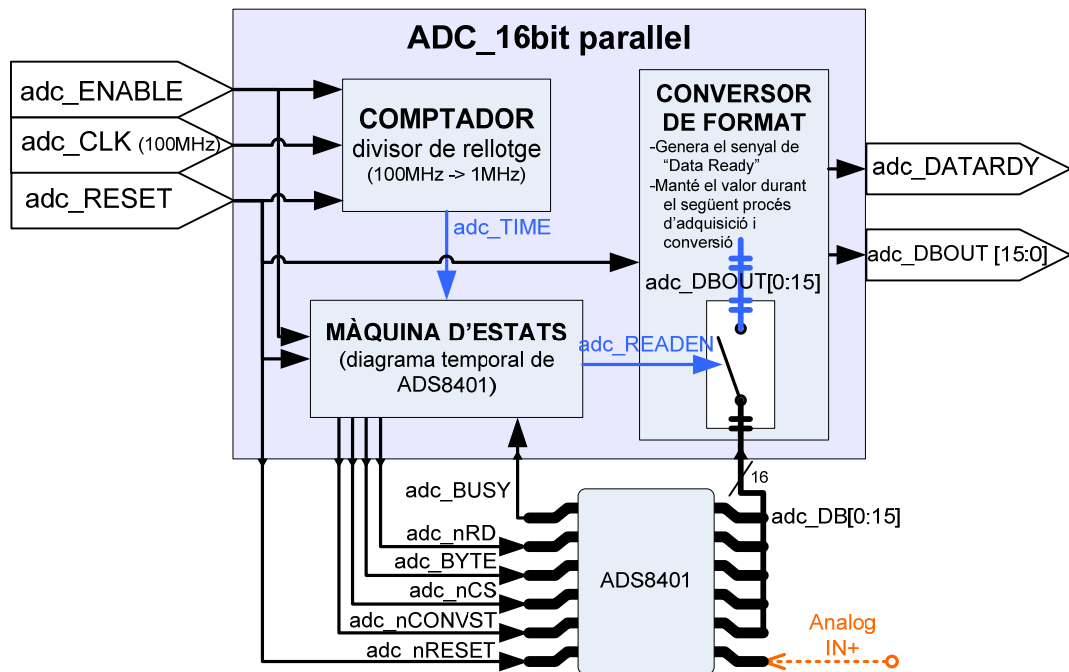


Figura 4.11: Esquema de blocs del programari de l'ADC de 16bit en paral·lel

El procés anomenat *Conversor de format* de la figura anterior, és el que rep directament els 16bit de dades que arriben del circuit integrat del DAC que, gràcies al senyal *adc\_READEN* que surt de la màquina d'estats és capaç de saber en quin moment capturar aquest valor. A part d'això, aquest procés té tres funcionalitats bàsiques: se n'encarrega de reordenar els bits per a què estiguin de més significat a menys, generar el senyal *adc\_DATARDY* que indica que s'han actualitzat les dades i estan disponibles per ser llegides i, a més, manté l'últim valor convertit en el bus de dades *adc\_DBOUT* durant tot el període per tal que el perifèric que prengui aquestes dades ho pugui fer en qualsevol moment després de l'avís del flanc de pujada d'*adc\_DATARDY*, que li dona el comportament de *sample and hold* (mostreja i manté) amb què es modelitzen els mostrejadors de senyals en els sistemes digitals.

Gràcies a que a la placa d'interfície PiGA hi ha dos convertidors analògic-digital iguals, aquest bloc s'ha pogut aprofitar tan per les lectures de corrent com de tensió a l'actuador piezoelèctric.

#### 4.2.3 Convertidor Digital-Analògic (DAC) de 12 bits i 4 canals

De manera semblant al bloc de l'ADC, aquest bloc també interactua amb un circuit integrat de la placa de mesures. En aquest cas, però, les dades segueixen el sentit oposat, és a dir, surten del sistema de control cap al DAC per tal d'ésser mostrades de forma analògica pels quatre pins de sortida del TLV5614CD. El DAC no és un component essencial per al funcionament de la bancada però sí que serveix de gran ajuda per comprovar si els valors amb els què es tracta a l'interior del bloc de control són correctes o no.



#### 4.2.3.1 Definició estructural

El perifèric té quatre ports d'entrada de dades que són busos de 16bit (*DATA\_X*) pensant amb la resolució a la qual es digitalitzen els valors de tensió i corrent a l'actuador piezoelèctric. Cada un d'aquests busos, va acompanyat pel port *DATA\_XReady* que rep un flanc de pujada en quan s'ha actualitzat el valor de l'entrada de dades que li correspon, d'aquesta manera el programa de l'interior del perifèric sap en tot moment quin canal de la sortida cal actualitzar i quin no. En quant als ports de sortida, el bloc del controlador del DAC té quatre ports, tres dels quals són per on es transmeten els senyals de control de les comunicacions sèrie entre l'FPGA i el circuit integrat del DAC i el port restant és per on se li envien les dades.

- **SCLK:** *System Clock*. Per aquest port s'emet el senyal de rellotge sobre el qual es posaran les dades del valor digital que s'envia.
- **CS:** *Chip Select*. Quan passa a actiu el DAC s'activa i comença a escoltar els seus ports d'entrada per estar preparat per la recepció de dades.
- **FS:** *Frame synchronization*. Quan es dona un flanc de baixada per aquest port s'indica que al següent cop de rellotge ja s'estaran enviant dades sincronitzadament amb el senyal de rellotge SCLK.
- **DIN:** *Data In*. Per aquest port s'envien les dades en sèrie amb protocol SPI (*Serial Peripheral Interface*).

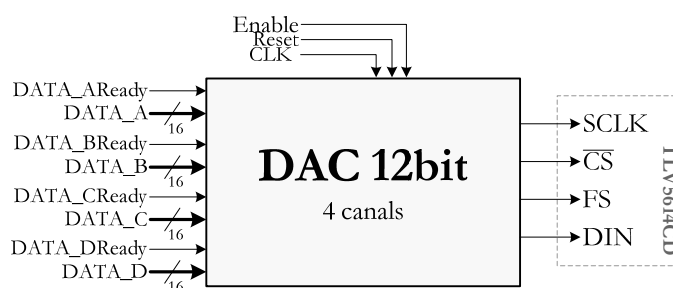


Figura 4.12: Esquema del convertidor digital-analògic (DAC) de 12bit i 4 canals

#### 4.2.3.2 Definició de comportament

El motiu pel qual s'ha instal·lat un convertidor digital-analògic a la bancada és per comprovar que les dades que s'obtenen de la bancada són correctes, per tant, la precisió i la velocitat de refresc no són requeriments vitals pel funcionament. De bon principi, els dos valors principals que interessa visualitzar a la sortida analògica són els senyals de tensió i corrent que es capturen dels borns de l'actuador piezoelèctric. Aquests dos senyals es digitalitzen a una resolució de 16bit, però el DAC només permet resolucions de 12bit. Però si al fet que els convertidors analògics-digital són més ràpids (1MHz) se li afegeix que les dades a representar entren al



control en paral·lel i aquestes s'han de transmetre en sèrie cap el DAC, ja es té una idea de què no es podran representar íntegrament totes les dades que es capturin.

Al perifèric que s'ha creat per controlar el circuit integrat del DAC li poden arribar a entrar, en el mateix instant, 4 valors de 16 bit cada un, però aquest total de 64bit han de ser transmesos un per un, en sèrie, cap al circuit integrat. Això causa un efecte similar a un coll d'ampolla, alentint molt tot el procés de transmissió de dades i representació dels valors analògics. És per això que, per evitar estar sempre recurrent els 64bit de dades que entren al bloc, s'ha creat un algorisme que identifica quines són les entrades per les quals entren nous senyals i únicament es transmet el seu valor, sense perdre temps enviant dades que són d'altres entrades inactives o que encara no hagin actualitzat el seu valor.

Les dades transmeses en sèrie, concretament amb el protocol SPI (*Serial Peripheral Interface*), van sincronitzades amb un senyal de rellotge. Pel cas del TLV5614CD, la freqüència d'aquest rellotge pot arribar a ser de fins 20MHz, és per això que a l'interior del perifèric s'ha creat el procés *CLK\_16\_6MHz* que genera un senyal de rellotge de 16,6MHz a partir de la divisió en un factor de sis, els 100MHz del rellotge del sistema.

Com que al circuit integrat del DAC se li han de transmetre paraules de 16bit (12 de dades + 4 de control), amb aquests 16,6MHz es podrà transmetre una paraula sencera a una freqüència lleugerament superior a 1MHz, és a dir, es podria representar cada valor de tensió o corrent que s'ha mostrejat a la bancada però només en el cas hi hagués dades a representar per un sol canal. Si, per exemple, s'haguessin de representar dades per dos canals, llavors no es tornaria a actualitzar el primer canal fins que no s'hagués actualitzat el segon i, per tant, la freqüència de refresc es redueix a la meitat degut a què es triga el doble de temps en tornar a enviar dades al mateix canal. Per tant, per cada canal que es vulgui afegir, s'ha de tenir en compte que la freqüència de refresc queda dividida pel nombre de canals actius.

La detecció de quines són les entrades de dades que estan actives i quines no es fa mitjançant les entrades *dac\_DATA\_Xrdy* i la interpretació que en fa el bloc *Identifica\_Entrades\_Actives* (Figura 4.13), que gestionat per la màquina d'estats és el que acaba donant pas de les dades emmagatzemades al *buffer* cap al mòdul SPI per ser enviades. L'estructura i els diferents estats amb el corresponent valor de les sortides de la màquina de Moore està representada a la Figura 4.14.

Aquesta màquina d'estats que s'ha programat té la funció, en primer terme, de detectar quines entrades estan actives. Segons quines siguin, es capturen els valors del *buffer* d'entrada on s'emmagatzemen contínuament els valors dels ports *dac\_DATA\_X*. Amb les dades del canal que s'ha de representar se li trunquen els quatre últims bits menys significatius i s'envien les



dades en sèrie mitjançant el protocol SPI (*Serial Peripheral Interface*) pels quatre ports de comunicacions (*dac\_nCS*, *dac\_SCLK*, *dac\_DIN* i *dac\_FS*) que van directament connectats al DAC TLV5614CD.

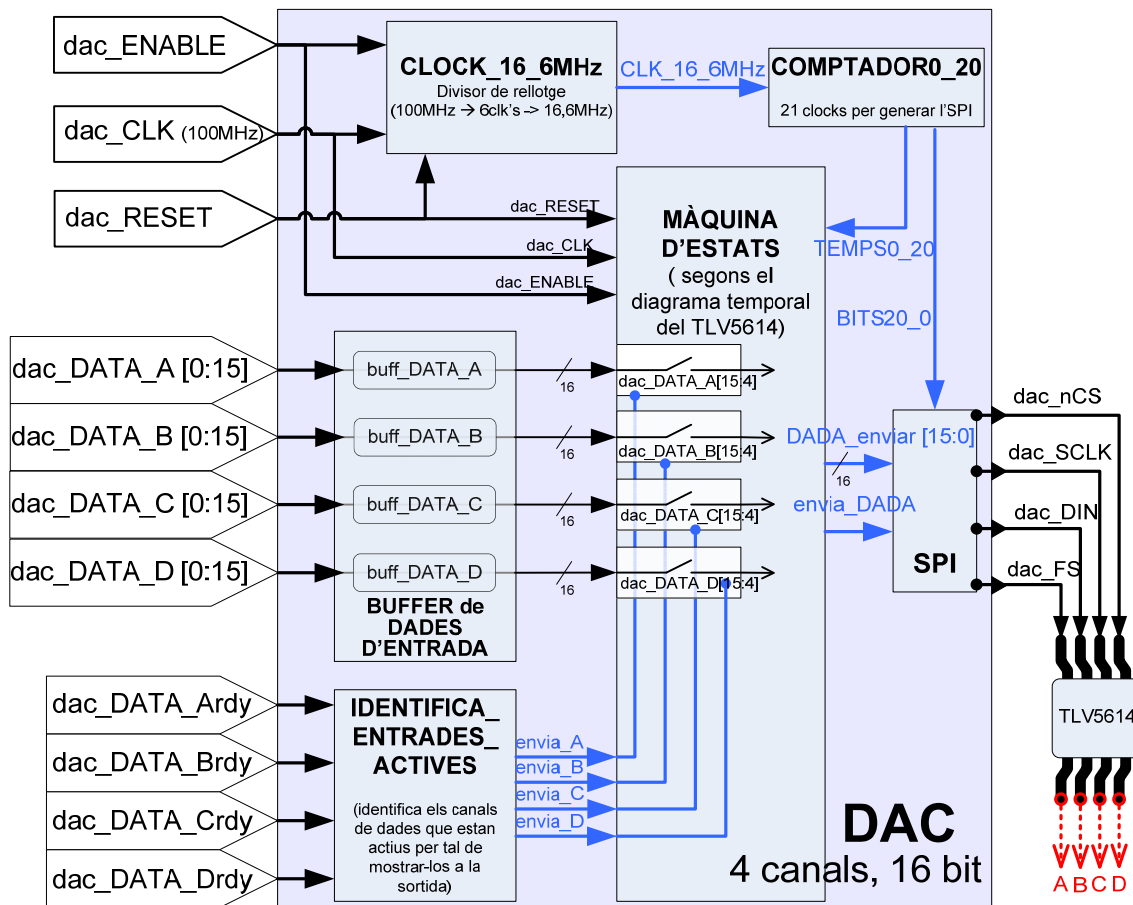


Figura 4.13: Diagrama de blocs del programari del DAC de 12bit

Com que la màquina d'estats té controlat de quin canal prové la dada que s'envia a l'SPI, ella serà qui, abans d'enviar les dades, afegirà els quatre primers bits de control que informen al DAC de per quin canal analògic ha de mostrar el valor i es defineixen altres paràmetres sobre la velocitat i l'activitat del protocol.

Si s'observen els senyals que provoquen els canvis d'estat es veurà que la màquina d'estats està regida en referència a la base de temps que marca un comptador de 21 graus (o CLK a 16,6MHz). D'aquests 21 cops de relloige, 16 són per a la transmissió de dades i els altres 5 corresponen a estats d'espera (*stX1\_EsperaX*) que es donen per deixar temps a fer les comparacions que determinen quin és l'estat següent però, sobretot per donar uns instants de repòs al DAC entre dues representacions consecutives per tal d'evitar que se saturi. El punt en contra és que deixant aquests 21 cops de relloige entre el refresc de dos valors fa disminuir la freqüència d'actualització a una freqüència lleugerament inferior als 800kHz.





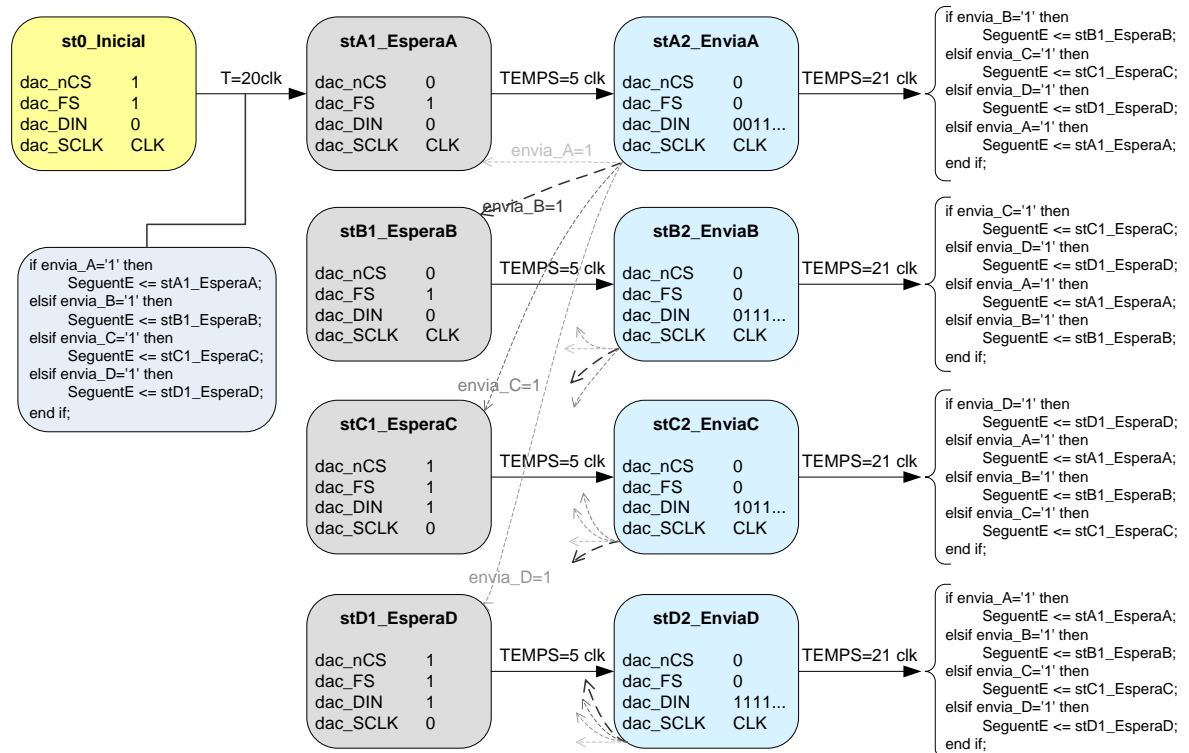


Figura 4.14: Representació de les sortides de cada estat i les transicions entre ells

Les comparacions que hi ha al marge de la dreta de la figura anterior representen el procés real que es produeix dins del procés d'identificació d'entrades actives.

#### 4.2.4 Filtrat de les lectures

En els apartats previs (3.2.5 i 3.3.1) és on s'ha fixat la freqüència del senyal PWM a 100kHz i s'ha definit que es capturin i digitalitzin valors de tensió i corrent a 1MHz, obtenint, doncs, 10 lectures de cada magnitud ( $V_P$  i  $I_P$ ) en cada període de commutació. El valor del cicle de treball ( $\alpha$ ), però, només pot ser actualitzat una sola vegada durant tot el període de commutació ( $T_{PWM}$ ). Per tant, caldrà sintetitzar aquestes deu mostres obtingudes en una sola que sigui representativa de les altres, és a dir, ressaltar o suprimir, de forma selectiva, la informació continguda en els valors digitalitzats provinents de la bancada, ja sigui per destacar-ne algun valor com per menystenir valors anòmals. Amb aquesta discriminació o filtrat, es podrà garantir que el valor del senyal PWM que es calculi pel període següent sigui el més adient i s'ajusti al màxim a la realitat.

Fent aquest filtrat de dades no només s'eliminen els errors, soroll o particularitats puntuals que es podrien tenir si només es prenguéss una sola dada durant el període de commutació sinó que, a més, serveix per complir amb el teorema del mostreig que, per evitar errors i interpretacions incorrectes dels valors mostrejats (*aliasing*), recomana mostrejar com a mínim al doble de la freqüència del sistema, que pel cas de la tensió i corrent serà la del PWM ( $F_{PWM}=100\text{kHz}$ ).



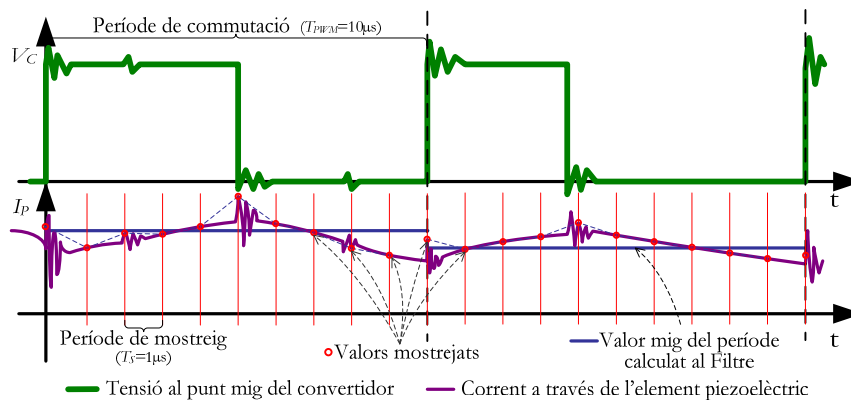


Figura 4.15: Mostreig del senyal de corrent i filtrat per obtenir un valor representatiu del període

Per a la posada en funcionament de la bancada s'ha implementat un filtre senzill que simplement realitza la mitjana aritmètica dels valors capturats durant un període de commutació. Encara que hi hagi moltes arquitectures de filtres i de molt diversa complexitat, aquesta operació serà suficient per obtenir valors fiables del que estigui passant a la bancada, ajudant a fer prevaldre el valor mig de les lectures, considerat com l'ordre de magnitud del valor mesurat, i suprimirà els efectes de soroll i distorsions que s'hagin captat. Per aquest comportament, doncs, es considera el filtre de mitjana aritmètica com un filtre passa-baixos. Els resultats obtinguts en la posada en funcionament serviran de guia per dissenyar filtres en que s'hi especifiquin amb més precisió les bandes passants i les freqüències de tall necessàries per privar l'entrada de determinat soroll al sistema de control.

#### 4.2.4.1 Definició estructural

El filtre s'ha dissenyat per a què pugui ser aplicable per tots els senyals de 16 bits que sigui necessari. Per això, tan el port d'entrada (*DATA\_IN*) com el de sortida (*DATA\_OUT*) de dades són busos de 16bit. L'entrada, a més, va acompanyada del port *Read\_Enable* que és per on es rep l'avís (mitjançant un flanc de pujada) de què el valor del port d'entrada s'acaba d'actualitzar i està disponible per a ser processat pel filtre.

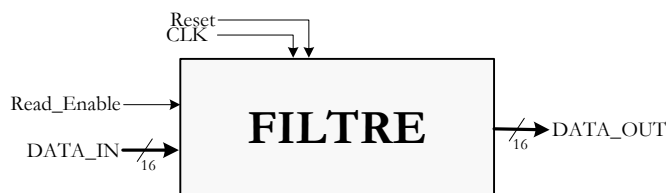


Figura 4.16: Esquema del filtre de valors de 16bit

A excepció de la resta de blocs de codi dissenyats, aquest només té dues entrades de control enlloc de tres: *Reset* i *CLK*. El fet de què s'hagi prescindit de l'entrada *Enable* és que les entrades de dades poden ser asíncrones, cosa que significa que el bloc *FILTRE* no està treballant si no li arriben dades noves. En canvi, la sortida de dades sí que està sincronitzada amb el rellotge del sistema, d'aquí que faci falta l'entrada de rellotge al bloc i que es





prescindeixi d'afegir un senyal de sortida (tipus *Data\_ready*) indicant que el valor s'ha actualitzat i està preparat per ser llegit.

#### 4.2.4.2 Definició de comportament

Per a rebre l'entrada asíncrona de les dades d'entrada que entren pel port *fil\_DATAIN* ha calgut crear el procés *Captura\_valor* que s'executa al rebre un flanc de pujada per l'entrada. Aquest procés capta el valor de 16bit i el passa cap al procés *Mitjana* juntament amb el senyal *fil\_comptador*, que indica quin nombre de mostra és des de que s'ha reiniciat el comptador mitjançant el senyal *fil\_RESET*.

El procés *Mitjana* és el que actua realment com a filtre digital. Un cop ha rebut tots els valors que formen part del mateix període, opera amb ells sumant-los i dividint-los entre la quantitat de nombres sumats. Val a dir que, tot i que en un període es realitzen 10 mostres, només se'n prendran vuit. Això es deu a dues causes: la primera és per agilitzar l'operació de divisió, ja que dividir qualsevol nombre binari entre un nombre que sigui potència de 2, simplement cal *shiftar* aquest nombre binari cap al costat dels bit menys significatius, en canvi dividir per qualsevol altre nombre suposa una tasca molt més complexa. La segona causa es deu a què el temps disponible que quedaria entre que s'obté l'últim valor mostrejat i l'instant en que s'ha d'actualitzar el valor del PWM seria insuficient (menys d'1µs). Per tant, per ampliar aquest temps es prescindirà de l'últim valor mostrejat. L'altre mostra que no es prendrà serà la primera, ja que sempre coincidirà amb una commutació (Figura 4.15) i les dades que es prenen no són representatives i distorsionarien el valor mig del corrent.

Un cop s'ha realitzat la suma i el *shiftat* de tres posicions per obtenir la mitjana dels 8 valors, es mostra el resultat pel port *fil\_DATAOUT*, i internament es reinicialitzen totes les variables per començar a obtenir valors pertanyents al següent període de commutació.

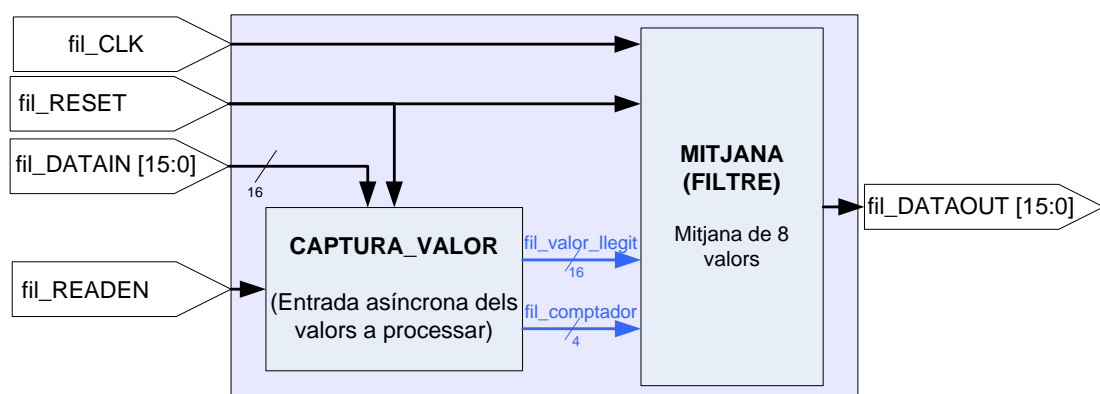


Figura 4.17: Blocs interns del programari del FILTRE



### 4.2.5 Comparador

El bloc comparador és un dels més senzills de tot el programa. Té la missió de calcular la diferència entre dos valors d'entrada i treure'n la seva diferència pels ports de sortida.

#### 4.2.5.1 Definició estructural

Com que la majoria de les dades provinents de mesures reals amb què es treballa són de 16bit, s'han assignat els ports d'entrada i sortida de dades com a busos de 16bit. En quant a les entrades, hi ha els dos ports *Positiu* i *Negatiu*, que amb el seu nom ja indiquen quin valor serà sostret de l'altre. A la sortida també s'hi troben dos ports: l'un, *Error*, és un bus de 16bit corresponent al valor absolut de la diferència entre *Positiu* i *Negatiu*, i l'altre port, *Signe*, indica el signe de la diferència segons si és per excés (positiva:  $Positiu > Negatiu$ ) o per defecte (negativa:  $Positiu < Negatiu$ ). El bloc realitzarà el càlcul síncronament, prenent els valors d'entrada a cada cicle de rellotge que entra per *CLK* per a què, d'aquesta manera a les sortides hi hagi el valor sempre actualitzat.

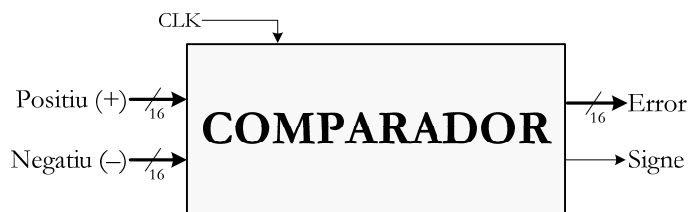


Figura 4.18: Esquema del bloc comparador de valors de 16bit

#### 4.2.5.2 Definició de comportament

En les FPGA és molt senzill realitzar operacions binàries bàsiques com sumes, restes o *shifts*, per això es pot permetre realitzar la resta entre els valors de *comp\_positiu* i *comp\_negatiu* a cada pols del senyal *comp\_CLK*. Com es veu a la figura següent, el perifèric només té un procés al seu interior que realitza dues operacions: primer compara els dos valors d'entrada per distingir quin és major que l'altre. Segons aquesta comparació, s'obté l'ordre amb què cal fer la resta per obtenir sempre la diferència en valor absolut. A l'hora de mostrar els resultats, pel port *comp\_error* es mostrarà aquesta diferència i pel port *comp\_signe*, es treurà un senyal de nivell baix ('0' lògic) en cas que la diferència sigui per excés i de nivell alt ('1' lògic) si és per defecte. Davant del cas en què la diferència fos nul·la, els dos ports de sortida serien zero.



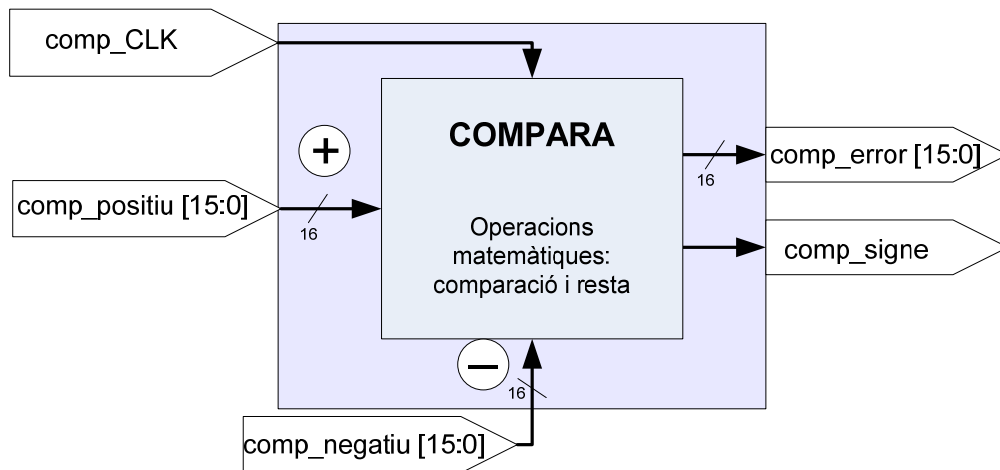


Figura 4.19: Diagrama de blocs del programari del bloc Comparador

#### 4.2.6 Control

L'etapa de control que s'ha programat ha estat generada per realitzar proves a la plataforma. No entra als objectius del projecte el fet de desenvolupar i implementar el control precís de l'actuador piezoelèctric, és per això que s'ha optat per dissenyar un controlador amb estructura de *PID* com a sistema inicial per comprovar el funcionament de la bancada i del control. Un cop s'hagin realitzat les primeres proves i es conegui amb més profunditat els límits reals de la bancada i l'accionament dels actuadors piezoelèctrics, serà quan s'obriran les portes a realitzar treballs futurs en quant a l'assaig de noves estratègies de control per a l'accionament de piezoelèctrics. Per aquest cas inicial, doncs, s'ha implementat el controlador només amb la part proporcional.

##### 4.2.6.1 Definició estructural

El que sí que s'ha pogut definir amb més concreció és la topologia del perifèric amb el tipus i la quantitat de ports d'entrada i sortida que es requereixen. D'aquests, tots vénen obligats per les entrades i sortides dels blocs anterior i posterior i, recordant els esquemes dels controls digitals definits a la Figura 2.8, aquests blocs són el comparador i el de PWM respectivament.

Observant les entrades de la Figura 4.20, s'hi observen els dos ports que en l'apartat anterior eren sortides del bloc Comparador: el bus *Error* de 16bit que conté la diferència i el port *Signe* que indica el signe d'aquest error. A més, el control també compta amb un port de 10bit anomenat *Kp*, que provisionalment és per on s'hi introduiran els valors binaris per tal d'ajustar fàcilment la constant proporcional amb els commutadors que hi ha a la placa.

Les sortides estan adaptades al que a la definició estructural del bloc PWM eren les entrades: es compta amb dos busos de 10bit (*PWMX\_Duty*) que contenen el valor del PWM que s'haurà de transmetre als semiconductors i, acompanyant aquestes dues entrades hi ha els dos senyals *PWMX\_actiu* que indiquen si la sortida de PWM a la que acompanyen està activa o no.



Complementant les entrades que té el bloc PWM, hi ha el port *Ready*, que emetre un pols quan es renoven els valors de totes les sortides, és a dir, que ja s'ha calculat el nou cicle de treball a efectuar en el període següent.



Figura 4.20: Esquema del bloc de control del sistema

#### 4.2.6.2 Definició del comportament

A grans trets i tenint en compte que aquest control només implementa la part proporcional, l'estructura de processos interns és senzilla sobretot, gràcies als blocs de maquinari que hi ha l'interior de l'FPGA dedicats exclusivament a realitzar multiplicacions. Aquests blocs multiplicadors en maquinari no es criden específicament al programar el codi o requereix una prèvia configuració de l'FPGA, sinó que és el compilador el que interpreta que cal fer ús d'aquests blocs quan es troba una certa estructura de codi.

El programari amb què s'ha escrit el programa ofereix unes llibreries que converteixen el que podria ser una operació complicada si es programés manualment seguint algun dels algorismes existents per realitzar multiplicacions en base binària, com per exemple el de Booth. Afegint la llibreria "UNISIM" per poder cridar el procés "MULT18X18S", s'introdueix un multiplicador de 18bit al programa.

Al manual de l'FPGA es donen les especificacions tècniques del multiplicador en quant a condicions de les entrades i els temps de procés per a poder donar el resultat correcte, que concretament són 3 cops de rellotge (a una freqüència màxima de 250MHz). Com que les entrades són de 18bit i els valors de què es parteix són de 16 i 10bit, s'han hagut de col·locar les dades en taules de 18bit reomplint els buits amb zeros lògics. Igualment s'ha fet amb el resultat, d'on s'obtenen 36bit dels quals només 26 són significatius, provinents dels 10 + 16 dels valors inicials, tot i que al final es prescindeix dels 16 bits de menys valor per acabar aconseguint els 10bit necessaris pel valor del cicle de treball del senyal PWM.

El *Gestor\_de\_sortides* rep aquest valor de 10bit que ja és el cicle de treball per al nou període i l'assigna a la sortida *pid\_pwm1\_duty* o *pid\_pwm2\_duty* que correspongui segons el signe de la comparació feta al bloc anterior. Com que en un convertidor de mig pont en H només hi pot haver un commutador tancat alhora, si el signe de la comparació és per excés s'assigna el valor del cicle de treball al commutador que faci disminuir el valor a la sortida ( $PWM2 \neq 0$ ) i deixa



l'altra sortida a zero ( $PWM1=0$ ) i viceversa. A més, aquest procés també es gestiona les sortides de redundància  $pid\_pwmX\_actiu$  posant-les a 0 quan el valor de tots els bits de les dades que acompanyen també són 0, i finalment, genera el pols de  $pid\_READY$  indicant que les sortides s'acaben d'actualitzar.

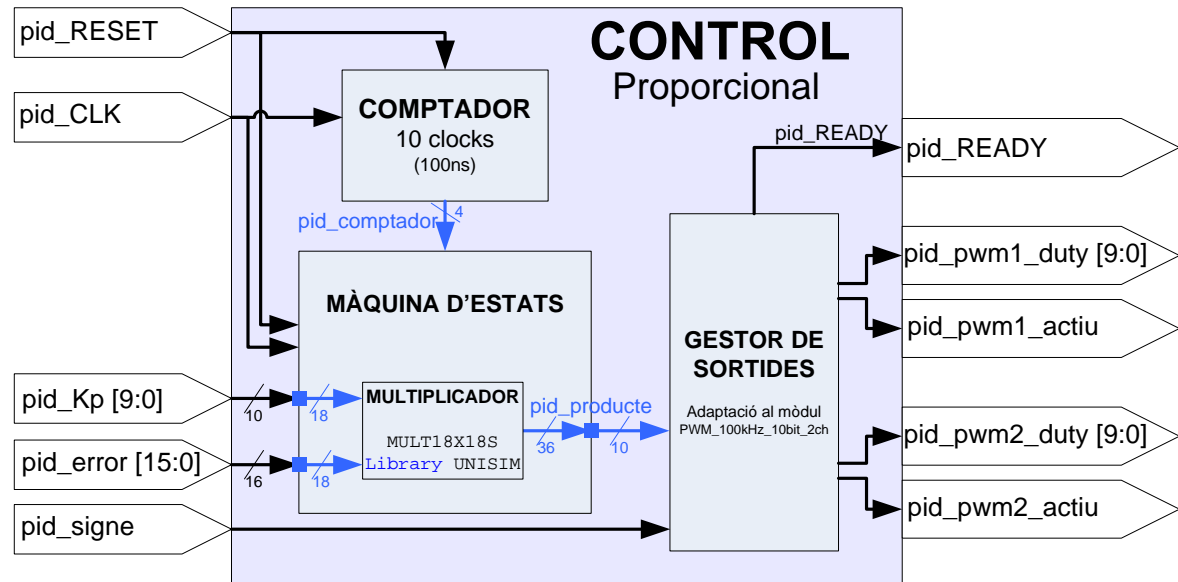


Figura 4.21: Esquema de blocs amb els processos interns del bloc de control

#### 4.2.7 Unitat de sincronisme

Amb tot, encara que tots els blocs anteriors estiguessin correctament connectats entre ells, el sistema no funcionaria correctament. Cal un bloc que coordini tots els elements del sistema: ordenant l'inici dels processos, la seva successió, la reinicialització, etc. I que a més, que a cada període de commutació es reinicialitzin els estats i variables internes de tots els blocs de què consta el sistema de control gràcies als ports *Enable* i *Reset* de què disposen.

Per aconseguir-ho, s'ha programat una màquina d'estats, amb els canvis d'estat estan temporitzats de manera que en un període de commutació es succeeixin sincronitzadament les següents quatre etapes:

1. Activació dels perifèrics: mostreig i acumulació dels valors llegits
2. Control: filtrat de les mesures, comparació, càlcul de la nova consigna
3. Actualització del cicle de treball del PWM
4. Reinicialització dels perifèrics



Cal tenir en compte que, mentre es realitzen tots aquests processos, el bloc de PWM està donant el senyal de sortida al convertidor de potència, i a més, les tres últimes etapes han d'estar compreses entre l'última lectura analògica i el final del període de commutació.

#### 4.2.7.1 Definició estructural

Com es veu a la Figura 4.22, aquest bloc té moltes més sortides que entrades degut principalment a què només ha de donar ordres d'activació i reinicialització a tots els perifèrics a través dels ports de control *Enable* i *Reset* que s'hi han anat afegint. Com a entrades només hi té el rellotge *CLK* per sincronitzar tot el procés, el port *On/Off* que controla l'encesa i parada de la bancada i el senyal *Control\_Ready* que rep la indicació de què els càlculs realitzats en el bloc de control s'han completat perquè així es pugui seguir en la màquina d'estats sense que el procés posterior s'avanci a aquest.

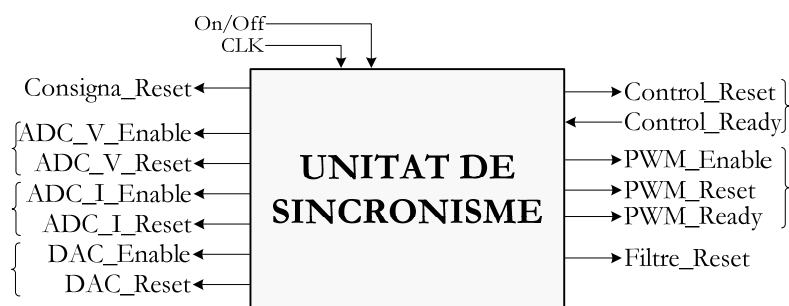


Figura 4.22: Esquema de la unitat de sincronisme del sistema de control

#### 4.2.7.2 Definició de comportament

Saber què i amb quin ordre s'han de succeir els processos del sistema de control no és massa complex. El que és difícil és saber quan s'han d'executar. Aquest bloc té controlats tots els processos a l'instant, gràcies al senyal del comptador *mtr\_comptador* que té una resolució de 10ns i amb aquesta referència de tems els hi mana executar-se segons quan fa que ha començat un període o s'hagi realitzat una tasca concreta. La part principal d'aquest perifèric és la màquina d'estats que s'ha programat seguint l'ordre que segueixen les dades en el llaç de control i la durada que té cada procés. Per fer quadrar tots aquests factors, primer s'ha realitzat una taula amb les durades i finalment s'han posat ordenadament a la línia de temps per programar els estats de les sortides a cada moment.

Tasca	Durada	Marca d'inici	Observacions
Activar perifèrics	1 CLK (10ns)	1CLK abans de començar el període de commutació	
Mesures analògiques	1 cada 1000ns (100CLK/mostra)	S'activen en activar els perifèrics de l'ADC i Filtre	De les 8 lectures, la primera es fa als 200ns d'haver començat el període i l'última quan



			falten 200ns per a què s'acabi
Filtrat	1CLK (10ns)	Quan s'obté la 8a dada es fa el càlcul i es dona el resultat	
Comparació	1CLK (10ns)	Constantment es fan comparacions a cada CLK però el valor de la comparació que es prendrà serà el que hi hagi a l'entrada del control quan s'habilita el bloc de control.	
Control	10CLK (100ns)	En quan ha passat suficient temps per haver realitzat les tasques anteriors.	
PWM	Tot el període: 1000CLK (10µs)	En rebre el senyal PWM_Ready provinent del control	
Reinicialització	3CLK (30ns)	Quatre cops de rellotge abans no s'acabi el període de commutació	No es poden reinicialitzar tots els perifèrics ja que alguns com el PWM estan constantment en funcionament

Taula 4.1: Durada i marca d'inici de l'activitat en els perifèrics

En les FPGA es poden executar les operacions com comparacions i restes en un sol cop de rellotge, però a l'hora de muntar la sincronització dels processos s'ha deixat un marge considerable de temps per tal de donar fiabilitat al sistema assegurant que el senyal que circuli per l'interior de l'FPGA ja estarà estabilitzat quan es procedeixi a fer la seva lectura.

Posant els passos anteriors en una línia de temps que dura un període de commutació (1000CLK, 10 µs) s'obté el diagrama de la Figura 4.23, que resulta molt útil per programar les successions de la màquina d'estats, indicats cada un en un color diferent. Per cada un d'aquests estats, a més, també s'hi han afegit els valors de les sortides. Totes les entrades de *Reset* dels perifèrics són actives per nivell baix, així que, '1' atura el perifèric i '0' l'activa. Com es podrà comprovar, hi ha alguns dels perifèrics com els dos ADC, el PWM i el DAC als que en cap moment es fa la reinicialització. Això es deu a què perifèrics com el PWM o l'ADC hagin d'estar contínuament en funcionament, el sistema no es pot permetre desactivar-los. El cas del DAC és diferent: reinicialitzar el convertidor digital-analògic suposaria que durant uns instants



no s'enviarien nous valors al circuit integrat, la qual cosa provocaria que per les sortides analògiques hi apareguessin irregularitats a cada període de commutació.

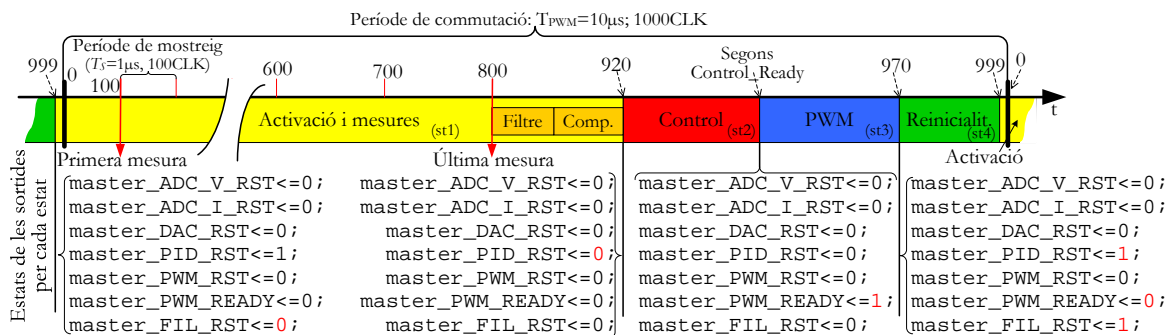


Figura 4.23: Diagrama temporal de la successió d'estats de la unitat de sincronisme

Com es veu, s'han definit 4 estats diferents: Activació i mesures, Control, PWM i Reïnicialització, amb els quals es gestionen totes les operacions de funcionament normal de la bancada. A la figura, però, encara hi manca un estat que és el de Repòs, al qual s'hi accedeix en apagar el sistema mitjançant l'entrada *piga\_ONOFF* d'aquest perifèric.

A la figura següent es veu a grans trets com estan estructurats els dos processos que hi ha a dins del codi del perifèric: el *Comptador* compta els 1000 polsos necessaris per crear la base de temps per a un període de commutació i la màquina d'estats gestiona les sortides que activen i desactiven els diferents perifèrics del sistema de control.

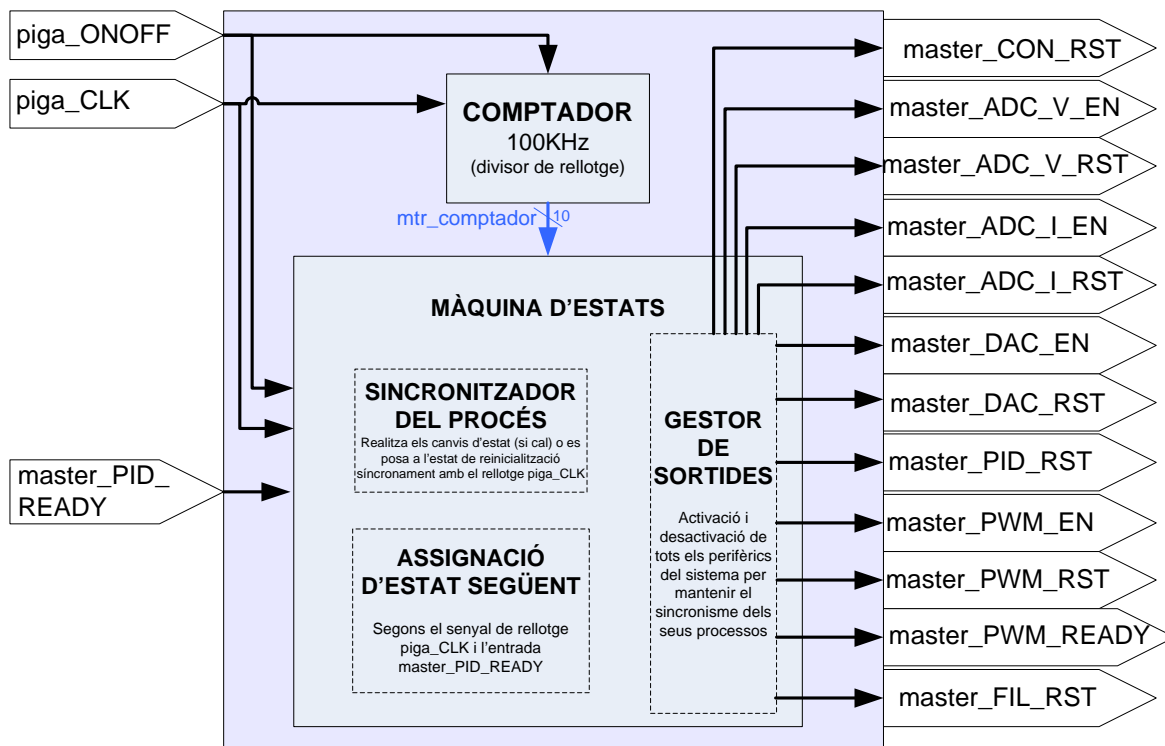


Figura 4.24: Diagrama de blocs del programari implementat per la unitat de sincronisme





### 4.3 Interconnexió dels perifèrics

Durant el procés de disseny dels perifèrics s'ha mantingut la idea de crear el control de tensió en llaç tancat per a l'excitació de l'actuador piezoelèctric tal i com es descriu en els llaços de control digital explicats a l'apartat 2.3. Ara, amb tots els perifèrics dissenyats i programats per realitzar cada un la seva funció cal unir-los tots per formar un sol sistema de control.

Al diagrama de blocs següent s'observa la interconnexió de tots els ports que s'han definit en la part estructural de cada perifèric. A la part superior, i abraçant tota l'amplada del sistema de control hi ha la *Unitat de sincronisme* que és la que regula l'activació de tots els perifèrics. La resta de blocs estan units formant el llaç de tancat de tensió que s'havia definit als objectius del projecte per tal de fer la posada en marxa i comprovar el funcionament de la bancada.

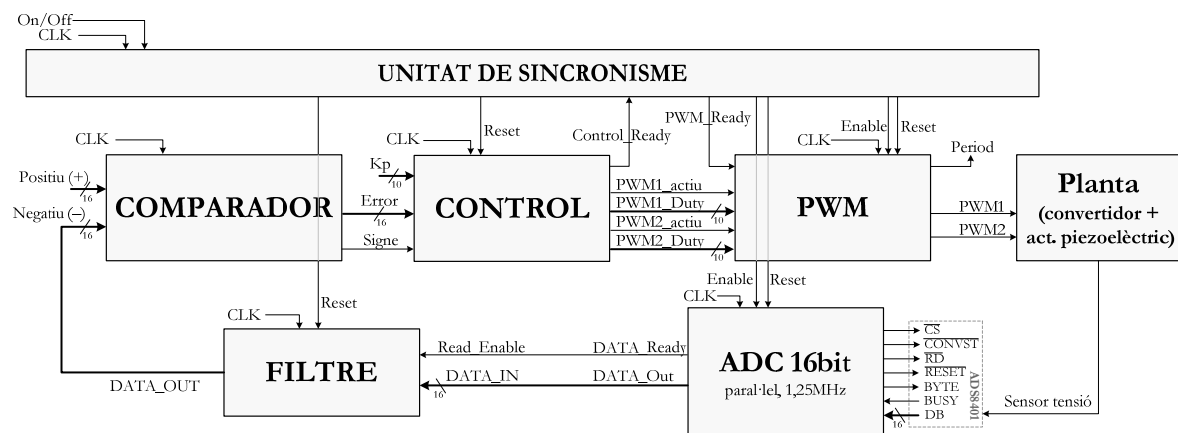


Figura 4.25: Implementació del llaç de control de la tensió als borns de l'actuador piezoelèctric

De la figura anterior també es comprova com el convertidor digital-analògic (DAC) no forma part del bloc de control. En la seva descripció a l'apartat 4.2.3 ja es comenta que l'única funció que té aquest tipus de convertidor a la plataforma és el de poder mostrar a l'exterior de l'FPGA els valors amb els quals es treballa al seu interior, i a més, d'una manera senzilla, ja que el fet de que la sortida és un valor de tensió analògic, permet poder ser visualitzat amb facilitat mitjançant un oscil·loscopi.





## Capítol 5

### 5. Muntatge i funcionament

Un cop s'han definit i descrit tots els components i processos que formen cada una de les tres etapes de què es parlava al principi de la memòria: potència, interfície i control, els dos últims passos a realitzar són el muntatge de tots els components i la posada en funcionament del sistema. En els dos apartats següents es descriu quin és l'aspecte de la bancada i la interacció entre les tres parts i es mostren alguns dels primers resultats obtinguts.

#### 5.1 Muntatge de la bancada. Unió de les tres parts: potència, interfície i control.

Per al muntatge de la bancada s'ha intentat col·locar tots els components el més a prop possible per tal d'evitar haver de treballar amb cables massa llargs que facilitarien l'entrada de soroll tant al circuit de potència com al circuit de senyal. Haver fet servir un cablejat curt i amb el mínim de connectors possible també evita la introducció d'inductàncies indesitjades en el circuit que, generalment, acostumen a generar sobretensions i oscil·lacions de la tensió a cada commutació degut a les constants variacions del corrent que ocasionen. En els casos on no s'ha pogut reduir la llargada del cablejat s'ha utilitzat cable apantallat amb la pantalla connectada al punt de tensió de referència.

A la fotografia de la Figura 5.1 es mostra el muntatge amb tots els components de l'etapa de potència: autotransformador, rectificador, convertidor, *drivers* i l'actuador piezoelèctric a sobre de la plataforma d'acer (cantonada inferior dreta). Annex al circuit de potència s'hi troben les dues plaques que constitueixen físicament les etapes d'interfície (PiGA) i control (FPGA), i que s'uneixen a la part de potència interaccionant en dos sentits: per una part s'envien els senyals PWM als *drivers* i per l'altra, es reben les mesures de tensió i corrent que hi ha en borns de l'actuador piezoelèctric.

Tot i que ja es fa una descripció dels requeriments i les prestacions de cada un dels components que formarà part de la bancada en l'apartat 3, als Annexos A, B i C s'acaben d'explicar les característiques tècniques que complementen el que s'ha explicat anteriorment, incloent resultats extrets de les proves realitzades i imatges on es poden veure els components amb més detall.



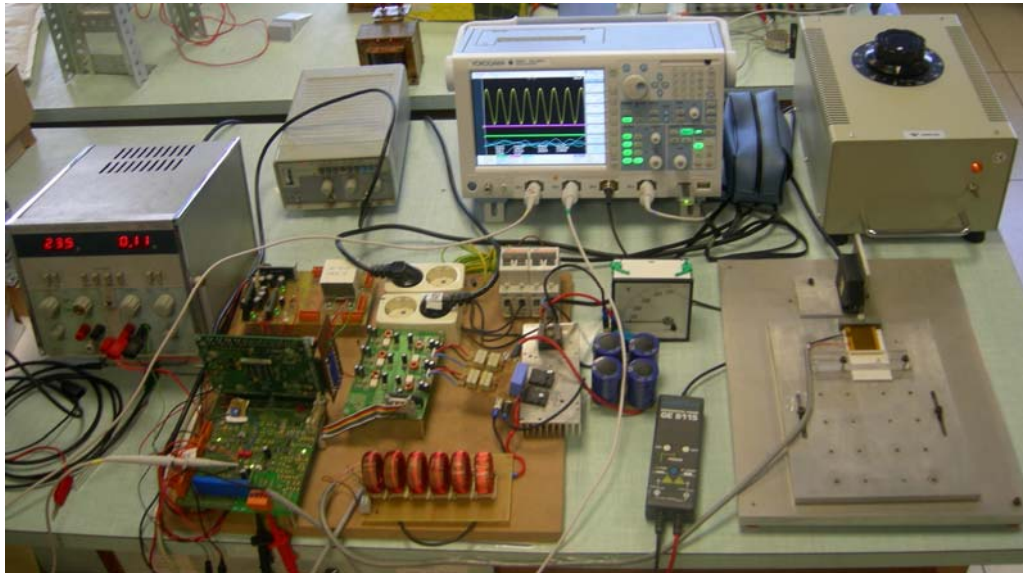


Figura 5.1: Fotografia del prototip de bancada

El sistema de control que s'ha implementat per a la posada en marxa del sistema és el control enllaç tancat de la tensió als borns de l'actuador piezoelèctric. Aquest llaç de control que s'introdueix a l'apartat 2.3 aprofita la capacitat que tenen els elements piezoelèctrics de deformar-se quan se'ls hi aplica una diferència de potencial entre els seus borns, seguint el sistema de la figura següent (extret de la Figura 2.8):

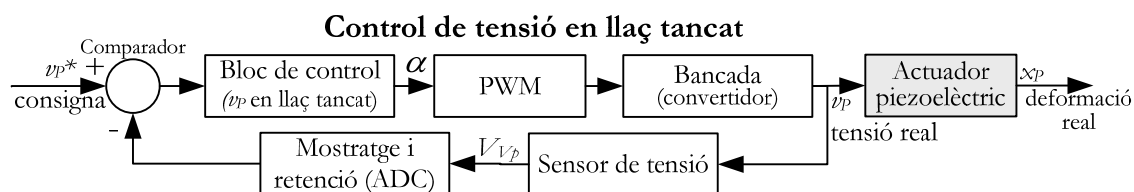


Figura 5.2: Sistema de control en llaç tancat de la tensió en borns del piezoelèctric

Tornant a veure l'esquema anterior però, aquest cop, coneixent amb més profunditat qui i com efectua cada una de les parts del llaç de control és té una idea menys conceptual i més física del seu funcionament. A part, aquest esquema també serveix per fer veure que encara manca implementar una entrada de consigna de tensió ( $v_p^*$ ), imprescindible per a comprovar si la plataforma funciona o no.

Per a donar aquesta entrada de consigna s'ha aprofitat el factor que només s'utilitza el convertidor analògic-digital que té associat el sensor de tensió, però en canvi, el del sensor de corrent queda lliure. Amb una petita modificació al circuit de la placa d'interfície PiGA i aprofitant la modularitat que ofereix el fet que amb les FPGA es treballi amb blocs de codi, s'ha adaptat el sistema per a què el convertidor analògic-digital rebi senyals d'un generador de formes d'ona i que aquest les digitalitzi. Amb aquests valors digitalitzats només fa falta que aquests entrin a l'entrada positiva del comparador, per tant, s'ha afegit un bloc ADC a



l'estructura del programa de l'FPGA i s'han realitzat les connexions internes pertinents per a tenir una entrada de consigna aprofitant els recursos que ofereix la plataforma, quedant el sistema com es mostra a la figura següent.

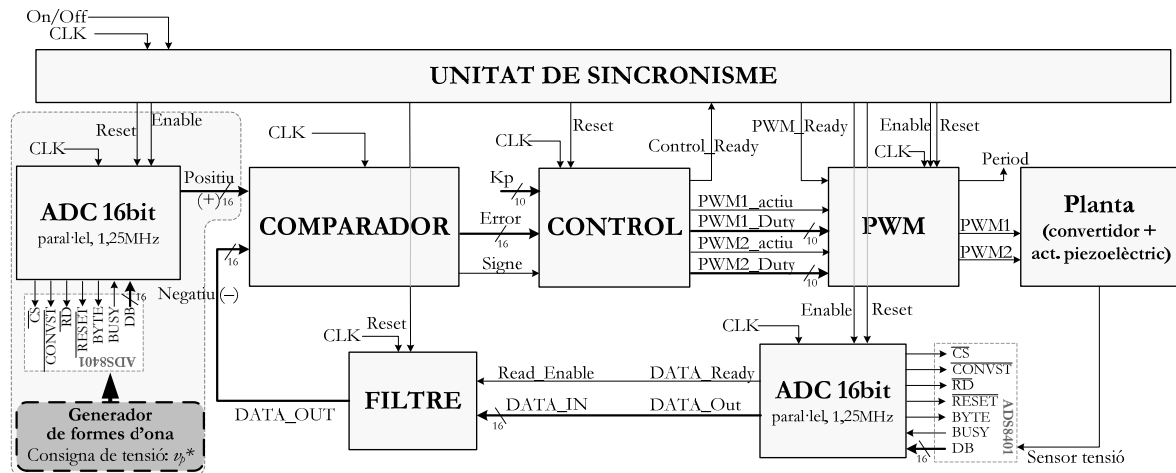


Figura 5.3: Sistema de control amb l'adaptació per a l'entrada de la consigna de tensió

## 5.2 Posada en funcionament

Ja amb la bancada muntada i preparada per a la posada en marxa, en una primera fase de proves s'han anat comprovant que els perifèrics funcionessin correctament per a, més endavant, connectar la part de potència a la xarxa i començar a treballar amb tensió. Val a dir que l'autotransformador ha tingut un paper important en els primers treballs amb tensió ja que el fet de poder treballar a diferents nivells de tensió evita fer les proves directament amb una tensió de bus de  $V_{DC}=400V$  nominals.

Tal i com s'observa a la Figura 5.1, les dades del funcionament de la bancada s'han extret d'un oscil·loscopi de 4 canals del fabricant Yokogawa, capaç de representar formes d'ona de fins a 500MHz. Aquest ample de banda 5 vegades superior a la freqüència del rellotge del sistema ( $F_{CLK}=100MHz$ ) és una garantia de cara a tenir la seguretat de què es podrà visualitzar amb fiabilitat qualsevol fenomen que hi hagi a la bancada. En contra, però, hi juga el fet que els valors de tensió i corrent que han de ser visualitzats són senyals que es prenen de les sortides analògiques del convertidor digital-analògic i per tant, tant la seva resolució com velocitat de refresc serà limitada.

### 5.2.1 Comprovació del funcionament dels perifèrics

Per fer aquestes proves ha estat de gran ajuda el fet d'haver pogut adaptar l'entrada de consigna per admetre els senyals generats pel generador de formes d'ona. Les proves s'han fet amb ones sinusoidals a diferents freqüències per observar les possibilitats i límits dels perifèrics i també comprovar-ne el seu funcionament. Algunes de les gràfiques capturades de l'oscil·loscopi es



troben tot seguit, però s'han fet més proves els resultats de les quals poden trobar-se als diferents apartats de l'Annex B i C.

- a) PROVA 1: ADC i DAC. Entrada d'un senyal de tensió que és mostrejat a l'ADC i finalment es visualitza a través d'una sortida de l'DAC. Amb aquesta prova es comprova el correcte funcionament dels perifèrics ADC i DAC, assegurant que les dades que entren a l'FPGA són fidels al senyal real.

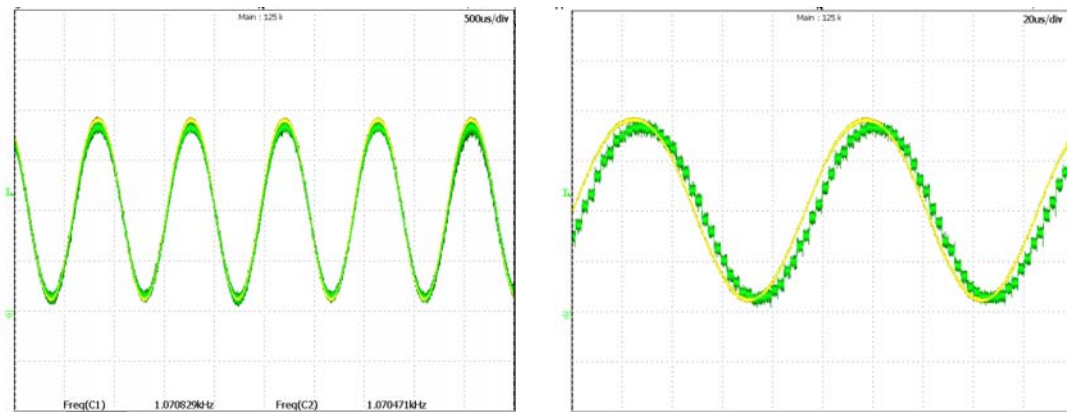


Figura 5.4: Captura de pantalla de les proves realitzades al DAC amb senyals d'entrada d'1kHz i 10kHz

Es veu com l'entrada de consigna (groc) generada pel generador de formes d'ona és seguida perfectament pel senyal extret per un dels canals del DAC (verd), tot i que pel cas en què es prova a una freqüència més elevada (dreta, 10kHz) el període de refresc del DAC comença a ser insuficient i apareixen graons en el senyal generat. En tot cas, aquesta limitació ja era assumida, es corrobora que aquests dos perifèrics realitzen les seves tasques correctament.

- b) PROVA 2: PWM1. Havent comprovat el funcionament dels blocs d'adquisició i visualització de dades, s'ha tornat a donar una entrada de consigna i, sent nul·la la tensió als borns del piezoelèctric ( $V_P=0V$ ), es comprova la correcta generació de senyals PWM a la sortida corresponent al commutador SW1

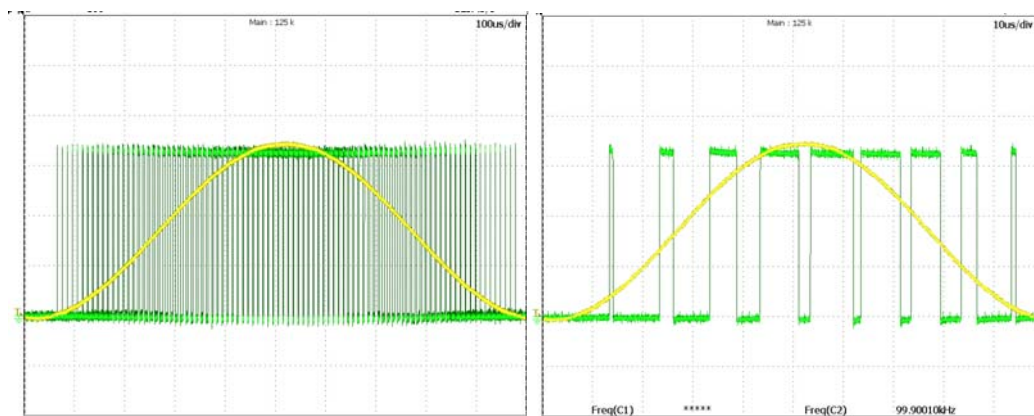


Figura 5.5: Captura de la generació de senyals PWM davant d'una consigna sinusoidal a 1kHz i 10kHz

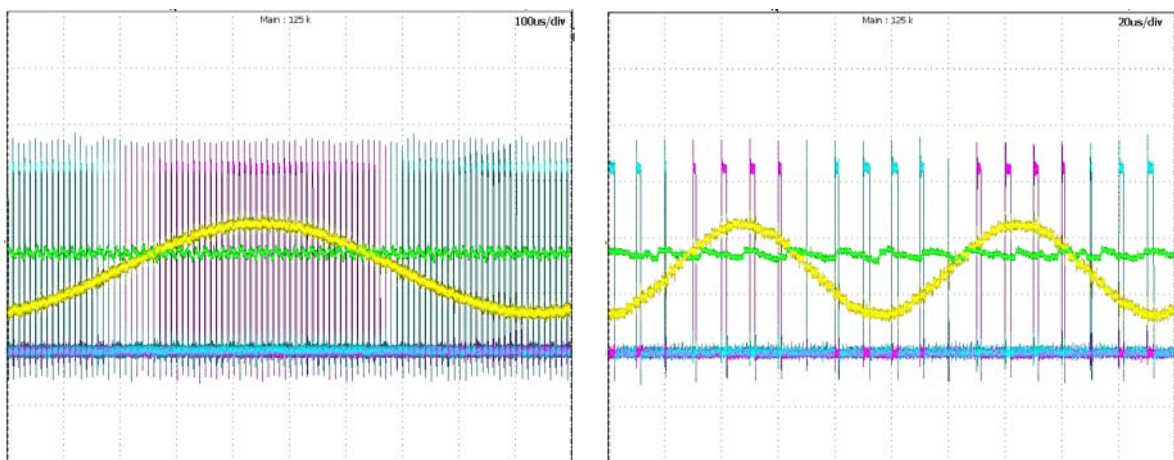




En la figura anterior s'observa que per una entrada sinusoïdal a la consigna (groc), el senyal PWM generat per al commutador SW1 (verd) es correspon al que teòricament ha de ser: un cicle de treball menor quan la consigna és nul·la i va augmentant a mesura que també ho fa la consigna. Igual que ha passat en el cas anterior, el fet d'haver elegit una freqüència de commutació de  $F_{PWM}=100\text{kHz}$  fa que quan es treballa amb consignes de 10kHz (dreta) només quedin 10 períodes de commutació per cada període de la consigna, que podria ser insuficient per algunes aplicacions i planteja el fet de si els 10kHz estan propers a la freqüència límit de treball de la bancada. És lògic, doncs, qüestionar haver fet prevaldre tenir un PWM amb bona resolució (10bit) a canvi de limitar la seva freqüència a 100kHz.

Observant que les dades capturades s'ajusten als valors que teòricament haurien de ser, es dona aquest assaig com a vàlid i es dona la certesa que la generació de senyals PWM del perifèric funciona correctament. En l'assaig següent es comproven la resta de prestacions d'aquest bloc.

- c) PROVA 3: PWM1 i PWM2. S'ha comprovat que es generen correctament senyals PWM en un canal. Emulant que la tensió en borns de l'actuador piezoelèctric no és nul·la, es comprova la generació de senyals PWM pels dos canals segons l'entrada de consigna. Si aquesta prova és satisfactòria, significa que també ho és el funcionament de perifèrics com el Filtre i el Comparador.



*Figura 5.6: Captura de la generació dels dos senyals PWM davant d'una consigna sinusoïdal a 1kHz i 10kHz emulant una tensió no nul·la en borns de l'actuador piezoelèctric*

En aquestes dues preses a 1kHz (esquerra) i 100kHz (dreta) s'hi tornen a observar els senyals PWM però aquesta vegada per cada un dels dos commutadors de la bancada: SW1(cian) i SW2(magenta). Per aquest cas, tan l'entrada de consigna (groc) com la tensió a l'element piezoelèctric (verd, emulada aplicant una diferència de potencial coneguda a les entrades del sensor de tensió) es prenen directament de les sortides del convertidor digital-analògic (DAC) per tal d'observar directament els valors amb què es treballa a l'interior del control i no a partir de mesures externes que podrien ser escalades, desplaçades o desfasades a dins del control.



Visualitzant les dues imatges s'acaba de comprovar que els perifèrics de Filtre, Comparador i PWM (a més dels ADC i DAC) funcionen tal i com s'esperava: el filtre treu la mitjana de 8 valors. Aquest valor mig es compara amb el de la consigna i segons la diferència, el PWM actua en conseqüència: si la tensió de consigna (groc) és superior a la tensió a l'actuador piezoelèctric (verd) llavors cal activar únicament el commutador SW1 mitjançant el senyal PWM1 (cian) amb el cicle de treball proporcional a la diferència que existeix entre les tensions. El cas contrari, es segueix el mateix procés però el senyal PWM s'extreu pel PWM2 (magenta) per accionar el SW2 de la bancada. Amb això es comprova que els perifèrics programats pel control funcionen correctament i el sistema està llest per connectar-hi la fase de potència.

### 5.2.2 Funcionament del llaç de tensió amb un actuador piezoelèctric

Havent comprovat com el sistema de control i la placa d'interfície funcionen, ara és el torn d'activar la fase de potència alimentant el bus de contínua i col·locant un actuador piezoelèctric a la bancada per comprovar si el llaç de tensió en borns del piezoelèctric que s'ha implementat en el programa de l'FPGA funciona correctament. També s'activa el sensor làser de deformació únicament per tal de tenir constància de què es produeix un canvi en la forma de l'actuador piezoelèctric, ja que, pel moment no es podran tenir mesures numèriques fiables de la deformació (Annex A.5).

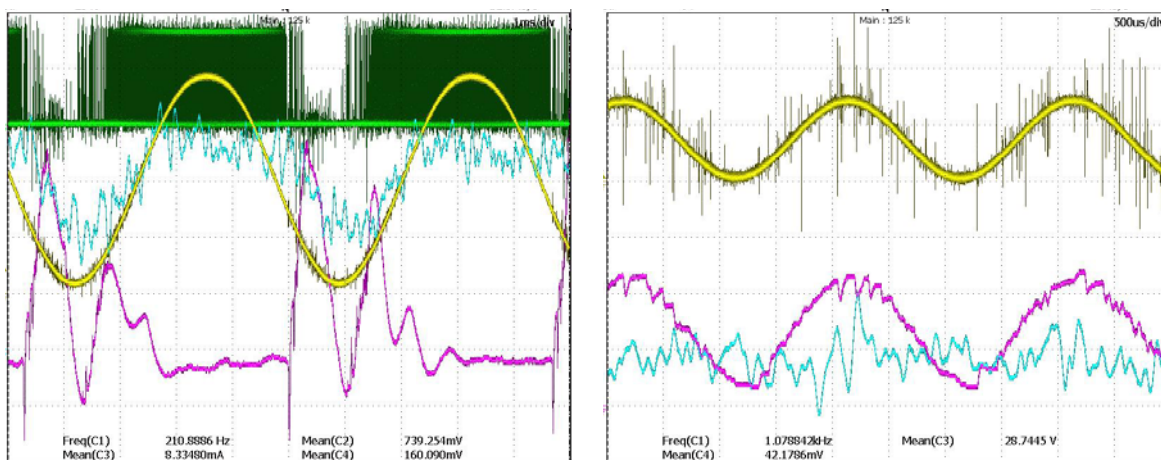


Figura 5.7: Captures del comportament de l'actuador piezoelèctric davant d'una entrada sinusoidal a 200Hz i 1kHz

En la imatge de l'esquerra la deformació del piezoelèctric (cian) varia segons ho fa la consigna (groc) a 200Hz. En verd es mostra el senyal PWM1 i en magenta (20mA/div) el corrent que travessa l'actuador piezoelèctric que, encara que vagament, s'assembla al que s'havia simulat a l'apartat 2.4: un pols oscil·lant a la pujada i nul un cop s'ha completat el moviment, ja que es veu com el senyal cian satura a partir d'un cert valor. A la figura dreta, per una consigna sinusoidal a 1kHz (groc) es comprova com el senyal de tensió en borns del piezoelèctric (magenta, 20V/div) segueix la seva forma, però s'observa que la deformació de l'element piezoelèctric es pot considerar quasi nul·la.





## Capítol 6

### 6. Pressupost

La majoria de costos que hi haurà en el projecte provindran fonamentalment de tres parts: dels components necessaris per al muntatge de cada una de les tres fases (potència, interfície i control), de les llicències de programari i del cost de l'oficina tècnica personal. Ordenats per aquestes fases, en els apartats següents es detallen tots els costos associats al projecte.

#### 6.1 Material de la bancada

Per a la construcció de la bancada faran falta components de molt diferent naturalesa: des d'elements elèctrics com cable i endolls, components d'electrònica de potència molt específics com els MOSFET, fins al programari utilitzat per al disseny de la placa PiGA o per la programació de l'FPGA, passant pels components electrònics i el cost de fabricació de la placa PiGA.

##### 6.1.1 Etapa de potència

Descripció	Quant.	Cost unit.	Cost total
Font d'alimentació fixa (24V / 3A)	1	49,00 €	49,00 €
Autotransformador regulable (230V, 10A)	1	449,00 €	449,00 €
Rectificador pont de díodes (400V, 15A)	1	5,90 €	5,90 €
Condensadors rectificador (470µF)	4	10,96 €	43,84 €
MOSFET de potència (400V, 10A)	2	24,95 €	49,90 €
Joc d'inductàncies pel convertidor (L)	1	65,50 €	65,50 €
Condensador pe l'assaig del convertidor (C)	1	5,88 €	5,88 €
Piezoelèctric	3	79,60 €	238,80 €
Sensor làser de posició	1	654,90 €	654,90 €
Dissipador d'alumini (10 x 5 cm)	1	10,40 €	10,40 €
Plataforma de muntatge	1	15,00 €	15,00 €
Cable bipolar 16mm <sup>2</sup>	0,5m	3,50 €/m	1,75 €
Imprevistos de material i altres fungibles			30,00 €
<b>Total</b>			<b>1.619,87 €</b>

*Taula 6.1: Cost del material utilitzat en l'etapa de potència*



### 6.1.2 Placa de mesures PiGA

El disseny d'aquesta placa es farà íntegrament (circuit, enrutament i muntatge) al CITCEA a excepció de la seva fabricació, ja que per obtenir millors resultats es realitzarà a l'empresa 2CISA especialitzada en la producció de circuits impresos.

Descripció	Quant.	Cost unit	Cost total
Components electrònics (R i C SMD)			15,00 €
Circuits integrats (ADC, DAC, OpAmps., etc.)			55,50 €
Connectors i cables			25,00 €
Sonda LEM, mesura del corrent (LTSR 25-NP)	1	12,62 €	12,62 €
Amplificador aïllat (AD215AY)	1	53,00 €	53,00 €
Placa <i>drivers</i> aïllats	1	224,15 €	224,15 €
Fabricació de les plaques (Servei extern)	1	145,00 €	145,00 €
Imprevistos de material i altres fungibles			25,50 €
Total			555,77 €

*Taula 6.2: Cost dels components electrònics per a la placa PiGA de l'etapa d'interfície*

### 6.1.3 Cost total del material del prototip

El cost total del material per a la construcció del prototip, incloent la placa d'avaluació de l'FPGA de Xilinx per a l'etapa de control, és el següent:

Descripció	cost total
Etapa de potència	1.619,87 €
Placa PiGA	555,77 €
Placa comercial FPGA (Spartan-3 Starter Board)	850,00 €
Total	3.025,64 €

*Taula 6.3: Cost total del material de la bancada*



## 6.2 Material de suport a la investigació i desenvolupament

Amb aquest concepte s'inclouen els costos del material de suport informàtic, material per a realitzar proves al laboratori i altre material d'oficina necessari per a la realització del projecte.

### 6.2.1 Material auxiliar per al muntatge del prototip

Descripció	Quant.	Cost unit	Cost total
Font d'alimentació regulable (0-30V, 250W)	1	235,00 €	235,00 €
Interruptor magnetotèrmic (Corba L)	1	23,22 €	23,22 €
Interruptor magnetotèrmic (Corba C)	1	19,55 €	19,55 €
Interruptor diferencial (30mA)	1	42,40 €	42,40 €
Cable bipolar + protecció		12,00 €	12,00 €
Connectors, elements d'unió i connexió		23,45 €	23,45 €
Estany, puntes i altre material de soldadura		29,00 €	29,00 €
Eines, material de taller i elements de seguretat		50,00 €	50,00 €
Material d'oficina i altres fungibles		40,00 €	40,00 €
Imprevistos de material per a l'execució			50,00 €
<b>Total</b>			<b>524,62 €</b>

*Taula 6.4: Cost del material auxiliar (elèctric, soldadura, seguretat) utilitzat a la bancada*

### 6.2.2 Eines de mesura i suport de laboratori

Per a la comprovació del correcte funcionament de les parts que es van muntant i que s'han d'anar afegint a la versió definitiva del prototip de placa calen certes eines de mesura com multímetres i oscil·loscopis. Degut a les altes freqüències en què es vol treballar, l'oscil·loscopi ha de permetre lectures d'almenys 300 MHz. També serà necessari disposar de sondes diferencials de tensió per a l'oscil·loscopi per tal de poder fer les mesures en referència a diversos nivells de tensió en un mateix aparell. Per l'amortització, s'ha considerat un temps de vida de 10 anys per als aparells, devaluant un 10% del seu valor cada any.

Descripció	Cost Total	Cost amortitzat
Multímetre digital	162,45 €	19,50 €
Oscil·loscopi Yokogawa DLM 500MHz, 4 canals	4.250,00 €	510,00 €
Sondes diferencials per oscil·loscopi	750,00 €	90,00 €
Sonda de corrent per oscil·loscopi (500kHz)	263,50 €	31,62 €
Imprevistos de material de mesura i suport de laboratori		125,00 €
<b>Total</b>		<b>776,12 €</b>

*Taula 6.5: Amortització del cost dels instruments de mesura i de laboratori*



### 6.2.3 Programari, llicències i suport informàtic

Descripció	Cost Total	Cost amortitzat
Ordinador personal	800,00 €	192,00 €
Programari de simulació i llicència	1.580,00 €	379,20 €
Programari de disseny de circuits elèctrics/electrònics i PCBs + llicència	2.250,00 €	540,00 €
Programari de programació de FPGA (Xilinx ISE™ Foundation™ Software 10.1) + llicència.	2.706,34 €	649,50 €
Complements programari Xilinx (Embedded design tools: Platform Studio and the Embedded Development Kit)	383,70 €	92,10 €
<b>Total</b>		<b>1.852,80 €</b>

*Taula 6.6: Costos relacionats amb el material informàtic amb el programari i llicències*

Per al programari i el material informàtic s'ha considerat un temps d'amortització de 5 anys.

### 6.2.4 Bibliografia i documentació

Descripció	Cost Total	Cost amortitzat
Bibliografia electrònica de potència	125,00 €	97,50 €
Bibliografia FPGA i VHDL	100,00 €	85,00 €
Altra bibliografia	90,00 €	75,50 €
Subscripció anual IEEE (subministrat per la UPC)	---	---
Curs de formació a la programació de FPGA aplicat al control industrial	1.825,00 €	1.500,00 €
<b>Total</b>		<b>1.758,00 €</b>

*Taula 6.7: Cost de la bibliografia de referència adquirida per a la documentació*

### 6.2.5 Personal

La relació del personal i hores treballades en aquest projecte és la següent:

Hores	Càrrec	Preu hora	Total
100 hores	Enginyer cap de projecte	35,00 €/h	3.500,00 €
250 hores	Enginyer de projecte	27,00 €/h	6.750,00 €
1.200 hores	Becari	11,50 €/h	13.800,00 €
	Imprevistos (ajudants especialitzats)		500,00 €
<b>Total</b>			<b>24.550,00 €</b>

*Taula 6.8: Costos del personal de l'oficina tècnica*



## Capítol 7

### 7. Estudi d'impacte ambiental

L'avaluació de l'impacte ambiental és un instrument de caràcter preventiu per a la protecció del medi ambient que permet conèixer la incidència d'un projecte sobre l'entorn i adoptar mesures per evitar o corregir els impactes que podrien ocasionar la seva execució i funcionament.

La seva aplicació, basada en el principi de que és millor prevenir les pertorbacions en origen que combatre després els seus efectes, està recomanada per diverses organitzacions internacionals, com les Nacions Unides, l'Organització Mundial de la Salut, l'Organització per a la Cooperació i el Desenvolupament Econòmic (OCDE) i la Comunitat Econòmica Europea. La Comunitat Econòmica Europea va aprovar l'any 1985 la Directiva d'Avaluació d'Impacte Ambiental (85/377/CEE).

Ja de per si, els materials piezoelèctrics són uns transductors d'energia elèctrica a mecànica que tenen un rendiment quasi del 100%. Aquest aspecte ja els converteix en uns elements a tenir en compte de cara a la introducció de tecnologies cada cop més eficients en els processos industrials. El gran fort dels actuadors piezoelèctrics és que poden realitzar vibracions mecàniques a alta freqüència i precisió. Aquestes qualitats, utilitzades intel·ligentment han arribat a plantejar el redisseny de processos industrials per d'altres que són totalment diferents i de rendiments molt més elevats. Fins i tot, aquests materials és cada vegada més comú trobar-los com a noves fonts d'energia neta, gràcies a la creació de veritables “camps de piezoelèctrics” on s'emmagatzema l'energia elèctrica generada a causa de l'efecte piezoelèctric

En l'estudi que ens ocupa, sembla clar que l'impacte ambiental que ha causat el disseny i construcció de la bancada de proves no serà rellevant. En el projecte es planteja la construcció d'un prototip sense pensar en una posterior comercialització del producte, però sí que seria un element important del projecte si sorgís la possibilitat de produir una quantitat important d'aquestes bancades.

Tot i així, si es fa un petit estudi d'impacte ambiental en l'entorn durant el temps de disseny, implementació i muntatge, juntament amb les hores de desenvolupament d'aquest prototipus,



es poden tenir en compte afectacions al medi degut als tres factors que es detallen als apartats següents:

## 7.1 Materials utilitzats per la bancada

Dins de la llei d'impacte ambiental d'àmbit europeu es contempla una directiva que afecta als materials utilitzats en aparells electrònics. La directiva és la "2002/95/EC" de Restricció d'Ús de determinades Substàncies Perilloses, que restringeix l'ús de determinades substàncies potencialment perilloses per a la salut i el medi. Aquesta directiva prové de la Unió Europea i és més coneguda com a RoHS (*Restriction of the use of certain Hazardous Substances*) que, tot i que es caracteritza per la voluntat d'eliminar el plom dels components electrònics, també regula l'ús de 6 materials perillosos en els equips elèctrics i electrònics, prohibint superar uns límits de concentració màxims substàncies com: plom (Pb,  $\leq 0,1\%$ ), Mercuri (Hg,  $\leq 0,1\%$ ), Cadmi (Cd,  $\leq 0,01\%$ ), Crom hexavalent (Cr(VI) ,  $\leq 0,1\%$ ) i els components ignífugs que contenen certs plàstics: el polibromofenil (PBB,  $\leq 0,1\%$ ) i els polibromodifenilèters (PBDE,  $\leq 0,1\%$ ).

Per elegir els components electrònics que van muntats a sobre de les plaques utilitzades pel projecte s'ha tingut en compte que tots complissin la normativa RoHS, de la mateixa manera que els fabricants dels circuits impresos garanteixen que els seus materials també estan dins de les regulacions de la RoHS.

## 7.2 Energia requerida

Es pot desglossar el consum de l'energia que s'ha necessitat per a la realització del projecte en dos grups clarament diferenciats per la seva naturalesa:

### 7.2.1 Desenvolupament del projecte

Pel desenvolupament del projecte s'ha utilitzat únicament energia elèctrica provinent de la xarxa. Les hores totals dedicades sobrepassen les 1500 entre tots els participants directes del projecte amb el qual, suposant que en aquest temps hi havia sempre un ordinador d'un consum d'uns 450W encès, signifiquen un total de 675kWh consumits. Aplicant el rati de 429gCO<sub>2</sub>/kWh\_elèctric\_generat en el sistema elèctric espanyol, es troba que en total s'han alliberat aproximadament 289,5 kg de CO<sub>2</sub> a l'atmosfera per a realitzar el desenvolupament del projecte.

De totes formes el consum d'energia per a produir cada una de les parts del prototipus no es té en compte ja que és possible que no sigui massa elevat i, a part, és massa complex disposar d'aquestes dades dels fabricants per poder calcular-lo.



### 7.2.2 Funcionament del sistema

Com s'ha comentat anteriorment, els elements piezoelèctrics permeten la conversió elèctrico-mecànica amb un rendiment quasi del 100% en els dos sentits, és per això que resulta de tant interès el treball amb aquest tipus de materials. A més, pel fet d'actuar com a condensadors, teòricament l'energia elèctrica que es subministra per provocar una deformació s'allibera quan aquesta deformació cessa. Per tant, l'únic consum energètic és el que es dissipa degut a les pèrdues del sistema a causa de la circulació de corrent a través d'elements resistius o resistències paràsites inherent a la naturalesa del material de què estan formats els components.

## 7.3 Reciclatge

Existeix una directiva europea que s'encarrega de la recuperació d'equips electrònics i elèctrics, és la 2002/96/EC de Residus d'Aparells Electrònics i Elèctrics (RAEE). Aquesta té com a objectiu reduir la quantitat d'aquests residus i la perillositat dels components, fomentar la reutilització dels aparells i la valorització dels seus residus i determinar una gestió adequada intentant millorar l'eficàcia de la protecció ambiental. Per aconseguir aquests objectius s'estableixen una sèrie de normes aplicables a la fabricació del producte i altres relatives a una correcta gestió ambiental quan aquest esdevingui residu. Per tant, per assolir aquests objectius cal la implicació de totes les parts que intervenen en el projecte: des de l'oficina tècnica, on es fa l'elecció dels materials adequats per facilitar-ne la seva separació i reciclatge, fins al compromís dels fabricants de components i del producte final amb seguir una política de reciclatge dels seus productes.







## Conclusions

Als primers apartats del projecte s'ha analitzat el comportament dels actuadors piezoelèctrics i quines són les actuals aplicacions a la indústria. Amb aquesta premissa s'ha procedit a l'estudi de quins són els fenòmens que provoquen la deformació dels materials piezoelèctrics per tal de tenir la base per procedir a analitzar els diferents mètodes per a controlar aquest tipus de transductors elèctrics-mecànics. S'han descrit diferents arquitectures de control per a transmetre les consignes de posició als actuadors piezoelèctrics: en llaç obert i en llaç tancat actuant sobre la tensió en borns de l'actuador o sobre la càrrega que se li injecta.

Posteriorment s'ha especificat en quines tres fases (potència, interfície i control) estaria dividida la bancada de proves, i en els apartats següents s'han especificat cada un dels components i parts que en formarien part: des de l'elecció de l'estructura del convertidor fins a la programació del sistema de control passant per la placa d'adquisició de mesures.

Amb totes les parts de la bancada definides s'ha procedit al seu muntatge i posada en funcionament. Un cop s'han realitzat els primers assajos de posada en marxa ja ha estat possible treure les primeres conclusions que permetin valorar els factors positius i negatius d'aquest sistema de control i accionament d'actuadors piezoelèctrics i contrastar-los amb els objectius que s'han marcat a l'inici d'aquest projecte final de carrera.

Satisfet l'objectiu principal del projecte: disseny i construcció de la bancada ja és un indicatiu de què els objectius secundaris també s'hauran assolit. Primerament, s'ha dissenyat el convertidor estàtic per a treballar a la freqüència que s'ha considerat com a més elevada per a la integració de les tres etapes: potència, interfície i control, combinant les punts forts de cada una amb els seus punts febles. Amb el criteri de no perdre resolució en el senyal de PWM que acciona el convertidor, s'ha optat per treballar a una freqüència de commutació de 100kHz i una resolució de 10 bit. Aquesta freqüència de treball és bastant superior a les que s'utilitzen habitualment en electrònica de potència per a convertidors d'energia elèctrica, l'accionament de motors..., i que a nivell industrial acostumen a estar entre els 8kHz i els 18-20kHz. En canvi, tal i com s'ha mostrat en els resultats de les proves, podria resultar insuficient per a realitzar segons quin tipus de control en assajos d'alta freqüència amb la bancada o en aplicacions específiques per actuadors piezoelèctrics. Tot i això, haver arribat a aquestes xifres i, tenint en compte les velocitats i freqüències de mostreig de les variables elèctriques, es pot considerar aquest objectiu com a aconseguit amb èxit.



La programació del sistema de control s'ha realitzat íntegrament en l'FPGA. Per això ha calgut introduir-se al codi VHDL i a les estructures bàsiques que se segueixen amb aquest llenguatge de programació enfocat a la descripció de maquinari. La posada en funcionament i els bons resultats que s'han extret demostren el correcte funcionament dels perifèrics dissenyats i, que la interacció amb la placa d'interfície PiGA i l'etapa de potència també s'ha resolt amb èxit.

### Treballs futurs

Les primeres actuacions que s'haurien de realitzar sobre la bancada d'assaig haurien de ser les d'acabar de generar els perifèrics necessaris en l'FPGA per a rebre els valors de tensió del bus de contínua, les lectures de deformació del làser i les de l'entrada de consigna, que ja estan previstes a la placa d'interfície però que no s'han integrat en el projecte. Del prototip de bancada que s'ha muntat pel projecte també es poden realitzar certes millores que serien les pròpies per convertir el prototip de bancada en un producte comercial: integrar les fonts d'alimentació de diferents tensions per tal de reduir el cablejat i la superfície que ocupa el sistema. Una bona solució per aconseguir-ho seria replantejar el disseny de la placa PiGA per tal de que a part de fer-hi encabir totes les alimentacions, sensors i convertidors necessaris també fos capaç d'albergar-hi l'FPGA i fins i tot els *drivers*.

A part d'aquestes millores, no cal dir que com a plataforma d'assaig, els principals treballs futurs a realitzar passen principalment per l'experimentació amb actuadors piezoelèctrics per a investigar en el camp del control, en desenvolupament de noves estratègies de control, com per exemple el control de càrrega, l'obtenció de models del seu comportament, estudiar-ne la histèresi, etc. per a què el major coneixement d'aquests elements comporti que en un futur sigui més senzilla la introducció d'aquests elements en els processos industrials.



## Agraïments

Primerament m'agradaria agrair al CITCEA i al Departament d'Enginyeria Elèctrica de l'ETSEIB l'oportunitat que m'han donat de poder realitzar el projecte final de carrera a les seves instal·lacions i facilitar-me els recursos necessaris per a la seva realització. Però sobretot, a tots els membres del CITCEA per la seva col·laboració i temps que han dedicat per a què pogués sortir-me'n del que semblava una muntanya de nous i diferents temes, conceptes, tecnologies, llenguatges... dels quals ara fa un temps no en tenia coneixement i, gràcies a ells i a la mica que m'ha anat aportant cadascú, el camí ha resultat ser més pla del què al principi semblava. Però també, per totes les estones i bons moments que hem passat plegats i que indubtablement, han contribuït a alleugerir l'esforç que suposa haver estat dedicant tantes hores al projecte.

De manera especial, li vull donar les gràcies a en Josep Rafecas, director del projecte, i l'Antoni Sudrià, ponent, per l'ajuda i la paciència mostrada des de l'inici fins a l'esperat final i haver-me donar el cop de mà necessari en els moments clau, aportant l'empenta i l'intercanvi de punts de vista que fan falta quan les coses no funcionen i la solució no arriba d'un mateix.

Finalment, agrair l'inestimable i imprescindible suport rebut per part de tota la meva família i persones més properes, ja que són els seus ànims i paciència el que m'ha donat, durant tota la carrera i, especialment, en aquesta última fase del projecte, l'energia necessària per fer, ara, aquest salt tan especial.

Moltes gràcies a tots!





## Annex A

### A. L'etapa de potència

En aquest annex s'acaben de donar més detalls sobre les característiques dels components que s'han utilitzat per a construir la bancada. És un annex purament informatiu que pretén fer de guia a l'hora de conèixer quines són les limitacions de cada una de les parts de la plataforma d'assaig.

#### A.1. L'autotransformador

L'autotransformador està a l'entrada del sistema i per ell hi travessa tot el corrent que s'acabarà injectant a l'actuador piezoelèctric. Com ja s'ha vist en l'apartat 2.4 per a l'operació de càrrega de l'actuador piezoelèctric es poden arribar a polsos de fins a més de 7A, per tant, tot i saber que són polsos pel cas del salt en màxima amplitud i que només es produeix aquesta circulació de corrent durant el curt temps en què la tensió està variant, disposar d'un aparell que compleix sobradament els requisits és un factor que aporta robustesa al sistema.

Com es veu a la placa de característiques de Figura A.1, l'autotransformador és capaç de fer circular fins a 10A en el seu funcionament nominal. L'altre factor positiu és que permet regular la tensió de sortida entre els 0V i els 230V de la xarxa amb salts molt petits. L'únic factor negatiu és que aporta impedància de caràcter inductiu al sistema i això, en els casos on hi ha rectificadors, commutadors i apareixen harmònics pot comportar problemes en forma de sobretensions i soroll.

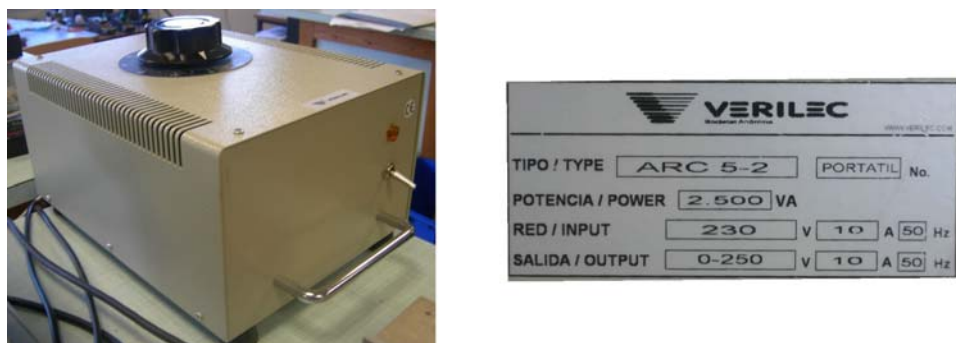
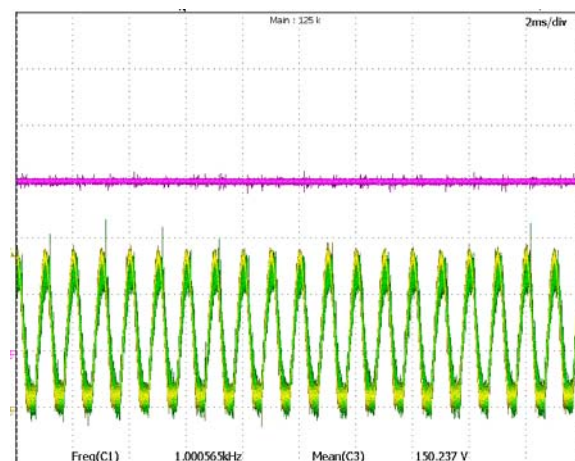


Figura A.1: Fotografia de l'autotransformador i la seva placa de característiques



## A.2. El rectificador i el convertidor

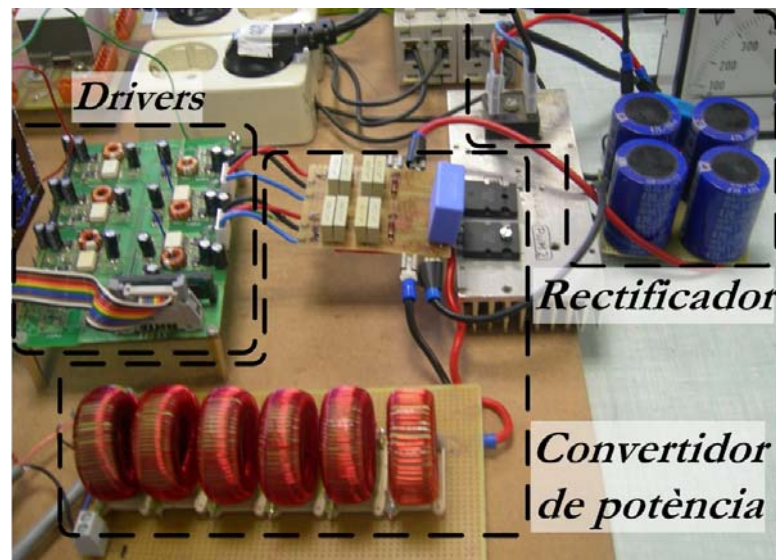
El rectificador està format per un pont rectificador de díodes capaç de suportar tensions de fins a 600V i corrent de 10A, per tant, encaixa sobradament dins dels requeriments. Aquest rectificador va unit per la seva base a un dissipador d'alumini per tal d'evacuar la calor que es generi a causa del pas del corrent a través seu. L'altre component que forma el rectificador és un banc de condensadors electrolítics per filtrar la component sinusoïdal de 100Hz que apareix a la sortida del pont de díodes. A la part superior dreta de la imatge de la Figura A.3 es veu com hi ha quatre condensadors de  $470\mu\text{F}$  (400Vdc) que, units en paral·lel al bus de contínua en dos grups de dos condensadors en sèrie, acaben formant una capacitat equivalent que continua sent de  $470\mu\text{F}$ . Aquesta agrupació de condensadors es fa per tal de dividir a la meitat el nivell de tensió que suporta cada condensador (per haver-hi dos condensadors en sèrie) i repartir el corrent que han d'injectar al bus (per haver-hi dues branques en paral·lel al bus). La capacitat col·locada al rectificador ha estat elegida únicament assegurant que sigui suficient per a què pugui subministrar pics de corrent sense que repercuteixi en la tensió del bus de contínua. A la Figura A.2 es veu com la tensió de bus (magenta) no es veu afectada per la injecció de corrent al piezoelèctric, amb el qual es confirma que la capacitat instal·lada és suficient.



*Figura A.2: Invariabilitat de la tensió al bus de contínua (magenta) davant les injeccions de càrrega per a l'actuador piezoelèctric*

El convertidor de potència també està format per dues parts: els MOSFET i la inductància. La manera com s'han connectat aquestes dues parts s'ha exemplificat diverses vegades durant el cos del projecte, però a l'apartat següent s'analitza amb més detall el perquè d'haver utilitzat aquesta topologia de convertidor. En un convertidor de mig pont en H sempre s'acostuma a trobar, també, un condensador a la sortida però havent considerat l'actuador piezoelèctric com una càrrega capacitiva, s'ha considerat que, encara que sigui de poc valor, prengui la doble missió d'actuar com a càrrega i alhora comportar-se com font de tensió.





*Figura A.3: Etapa de potència: el rectificador i el convertidor de potència*

On sí que s'hi ha instal·lat un condensador és en paral·lel al bus de contínua per tal de reduir transitoris i oscil·lacions de la tensió a alta freqüència provocades per les commutacions. En realitat podria haver-se considerat com a part del rectificador però, com que el condensador utilitzat aquí és de diferent naturalesa: aquests són de polipropilè i d'una capacitat molt menor (100nF, 1000V), i són molt més ràpids en les operacions de càrrega i descàrrega. Per això són més adequats per a l'eliminació de les oscil·lacions ràpides i pics de tensió que s'originen.

Els elements semiconductors utilitzats pel convertidor són MOSFET de potència i que, a més tenen la capacitat de commutar a alta freqüència. Permeten el pas de fins a 24A suportant tensions de 1000V entre drenador i sortidor commutant a una freqüència de més de 500kHz. Igual que pel pont de díodes, els dos MOSFET també s'han unit al dissipador d'alumini per tal d'evacuar la calor el més ràpidament possible i així evitar l'augment excessiu del semiconductor i la conseqüent reducció de la vida útil de l'element.

El valor de les inductàncies ha estat elegit considerant que sigui suficientment gran com per evitar treballar amb discontinuïtats de corrent o variacions molt grans enmig d'un període de commutació. Hi ha el problema que pels assajos es treballen en freqüències molt diverses i, per tant, els valors de la impedància a la sortida del convertidor es veuen directament afectats, ja que es tracta d'un circuit LC en sèrie. És per això que s'ha deixat la possibilitat de variar el valor de la inductància per trobar el funcionament òptim segons la freqüència en què es treballi. En total s'han instal·lat 6 bobines del fabricant *Coilcraft* especialment dissenyades per treballs a altes freqüències en convertidors elèctrics. D'aquestes 6, 5 són de 257mH i la restant és de 138mH, que col·locades totes en sèrie ofereixen una inductància total de 1.423mH. En els assajos que s'han fet es comprova l'afectació de la inductància en la forma de la tensió en borns de l'actuador piezoelèctric.



### A.3. Elecció de la topologia del convertidor

Existeixen multitud de topologies de convertidors que podrien generar els estats d'aportació de càrrega elèctrica i descàrrega del piezoelèctric definits a l'apartat 2. Però molts d'aquests ofereixen prestacions que no són necessàries per a la excitació dels piezoelèctrics i que afegirien complexitat a l'algorisme de control.

Primerament, com que el funcionament dels actuadors piezoelèctrics és a partir d'injeccions de corrent, cal que la càrrega piezoelèctrica estigui connectada directament a una font de corrent. Per a aconseguir-ho, una inductància col·locada en sèrie amb l'actuador piezoelèctric actuarà com a font de corrent en els moments en què el convertidor bloqui el pas dels electrons i amortirà les fluctuacions de corrent provocades per les constants commutacions.

Seguint la metodologia seguida a [8], per al disseny del convertidor caldrà analitzar punt per punt els requeriments i les fases que se succeeixen per l'excitació dels piezoelèctrics i, partint d'un convertidor de quatre quadrants (el de pont en H complet), s'anirà decidint quins elements commutadors són els necessaris per al correcte funcionament del convertidor.

- a) Aportació de càrregues elèctriques a l'actuador piezoelèctric: cal que circuli corrent en sentit cap al piezoelèctric. Tal i com es veu a la Figura A.4, aquesta injecció de càrrega es pot fer en dues fases: connectant la font de tensió en sèrie amb la càrrega (C1 i C4 tancats) i curtcircuitant la càrrega (C3 i C4 tancats) de tal manera que es permeti la circulació de corrent a causa de l'aparició de tensions negatives als borns de la inductància a causa de la variació brusca del corrent que entrava des de la font de tensió.

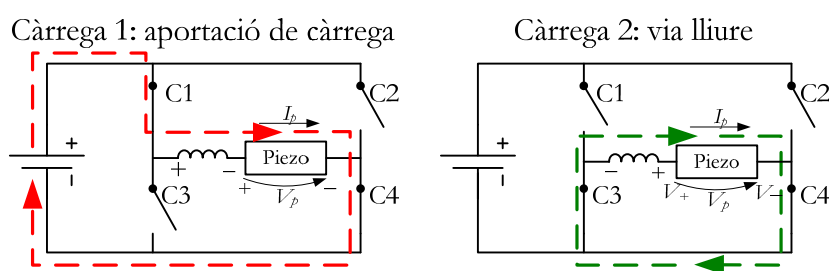


Figura A.4: Fases de càrrega de l'actuador piezoelèctric

- b) Extracció de càrrega elèctrica de l'actuador piezoelèctric: per extreure les càrregues de l'actuador piezoelèctric, és necessari que el corrent circuli en sentit contrari al de la figura anterior. Per assolir-ho, aprofitant la diferència de potencial que hi ha entre els borns de la càrrega degut a la prèvia acumulació de càrregues, si es tanca C3 i C4, es permetrà la circulació de corrent per assolir l'equilibri de les càrregues a l'actuador piezoelèctric. En tancar C1 i C4, l'alteració en el pas del corrent per la inductància





provoca que augmenti la diferència de potencial en els seus borns i que es pugui retornar part de la càrrega acumulada al piezoelèctric a la font d'alimentació.

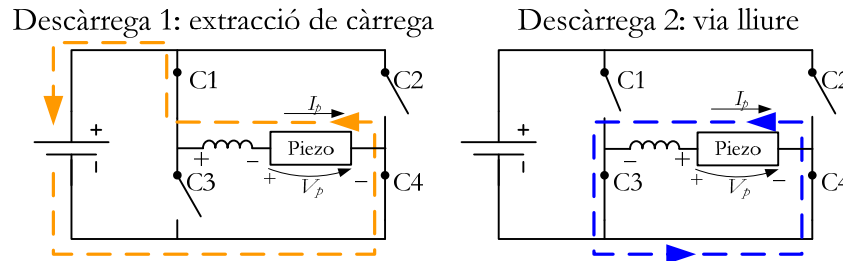


Figura A.5: Fases de descàrrega de l'actuador piezoelèctric

A la Taula A.1s'analitzen els estats en què es troba cada commutador durant les etapes de commutació del convertidor que s'està dissenyant.

	Càrrega 1	Càrrega 2	Descàrrega 1	Descàrrega 2
C1	Tancat: corrent +	Obert	Tancat: corrent -	Obert
C2	Obert	Obert	Obert	Obert
C3	Obert	Tancat: corrent -	Obert	Tancat: corrent +
C4	Tancat: corrent +	Tancat: corrent +	Tancat: corrent -	Tancat: corrent -

Taula A.1: Estat dels commutadors durant la càrrega i descàrrega de l'actuador

El següent pas a seguir és determinar la tipologia que han de tenir els components de commutació de què està format el convertidor. Per a fer aquesta elecció, la representació gràfica de la figura següent facilita la comparació amb les característiques dels semiconductors.

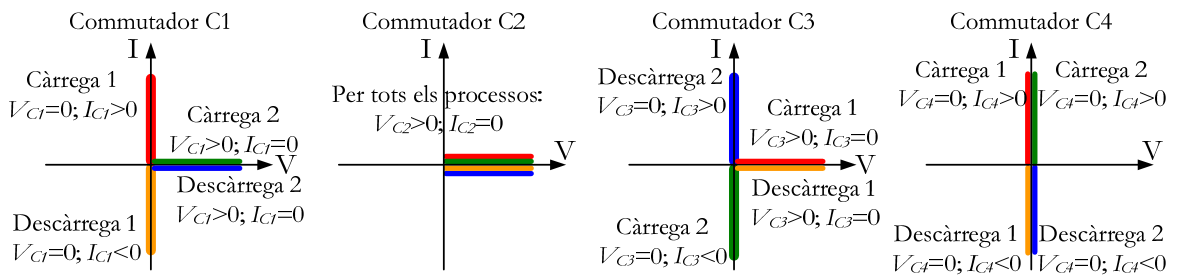


Figura A.6: Tensions i corrents a través dels commutadors

Observant les condicions a les que ha d'estar sotmès cada commutador és com es decidirà quina tipologia de component electrònic de commutació s'utilitza per cada cas. Per a fer l'elecció caldrà comparar els requeriments que s'han de complir a cada un dels commutadors amb les propietats de conducció/tall que tenen els elements de commutació més utilitzats en l'electrònica de potència. En la figura següent es mostren alguns d'aquests components amb l'aproximació de la seva corba de característica estàtica [11]:



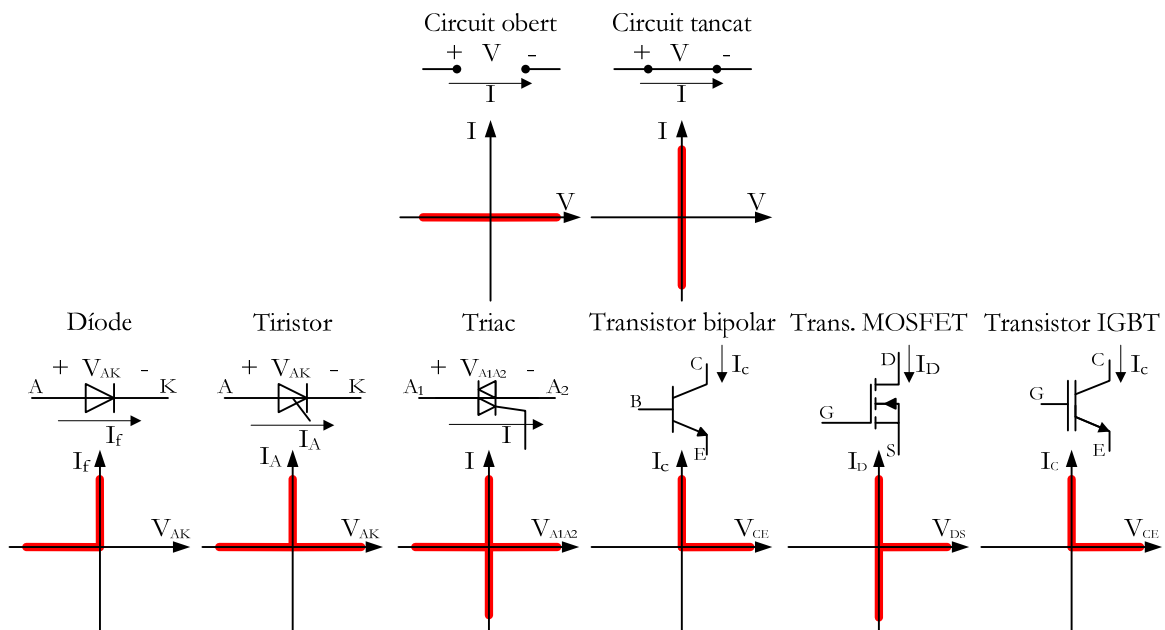


Figura A.7: Components semiconductors amb la seva característica estàtica

Si es fa la comparació dels diagrames de la figura anterior amb els obtinguts a la Figura A.6, s'obtenen les següents conclusions:

- Commutador 1 i commutador 3:* és necessari que permetin el pas de corrent en dos sentits i el tallin suportant tensions positives als seus borns. Aquest comportament és el mateix que el d'un transistor MOSFET, tot i que, com es veu a la Figura A.8, també podria obtenir-se amb la combinació de qualsevol tipus de transistor amb un díode en antiparal·lel. De fet, el motiu pel qual els MOSFET permeten el pas de corrent en sentit negatiu ve donat pel díode paràsit que es forma a causa de l'estructura interna d'aquest tipus de transistors.

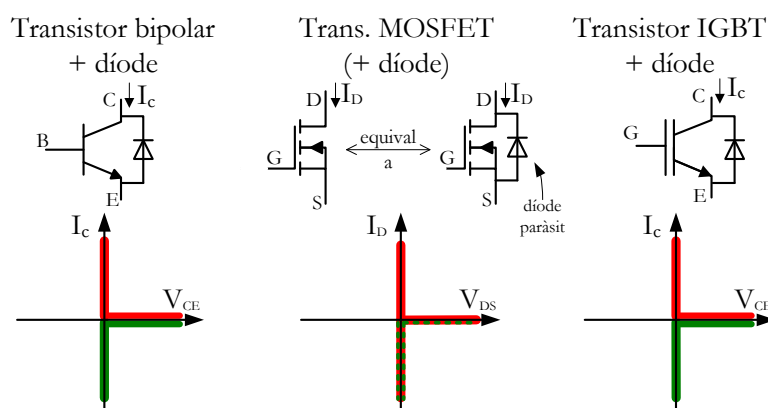


Figura A.8: diferents transistors amb un díode en antiparal·lel

Tot i tenir el mateix comportament, hi ha diferències entre aquests components: mentre que, a diferència dels altres, els MOSFET poden commutar a freqüències de l'ordre dels MHz, els



transistors IGBT i bipolars poden suportar tensions i corrents majors. Per a l'aplicació en piezoelèctrics, la possibilitat de commutar a alta freqüència i que les pèrdues per commutacions siguin baixes, té més importància que la capacitat de treballar amb potències elevades. Per tant, s'elegeixen transistors MOSFET per als commutadors 1 i 3. Tot i això, la freqüència de commutació dels transistors MOSFET disminueix segons augmenta el corrent que permeten passar a través seu. Per a la bancada s'han elegit transistors MOSFETS de potència i d'alta freqüència, els IXFK 24N100F d'IXYS, capaços de commutar a 500kHz, podent suportar una tensió de fins a 1000V entre drenador i sortidor ( $V_{DS}$ ), permetent el pas de fins a 24A.

- b) *Commutador 2*: com que no deixa passar corrent en cap cas, el seu comportament correspon al d'un circuit obert. Per tant, no cal posar cap component de commutació.
- c) *Commutador 4*: cal que sempre deixi passar el corrent en qualsevol dels sentits. Per aquest motiu es pot prescindir de qualsevol component per a la commutació, posant-hi un element conductor en el seu lloc.

L'esquema final del convertidor queda com a la un cop s'han substituït els commutadors C1, C2, C3 i C4 de què es partia inicialment pels components elèctrics adequats en cada cas:

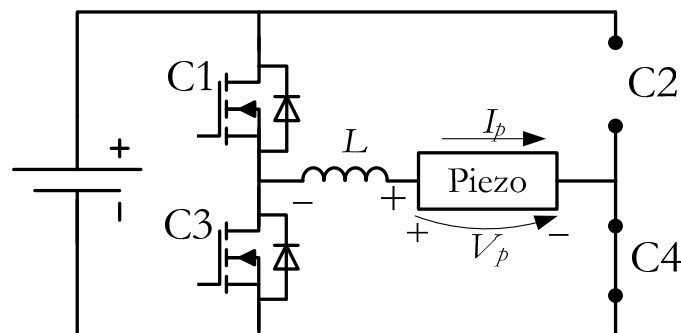


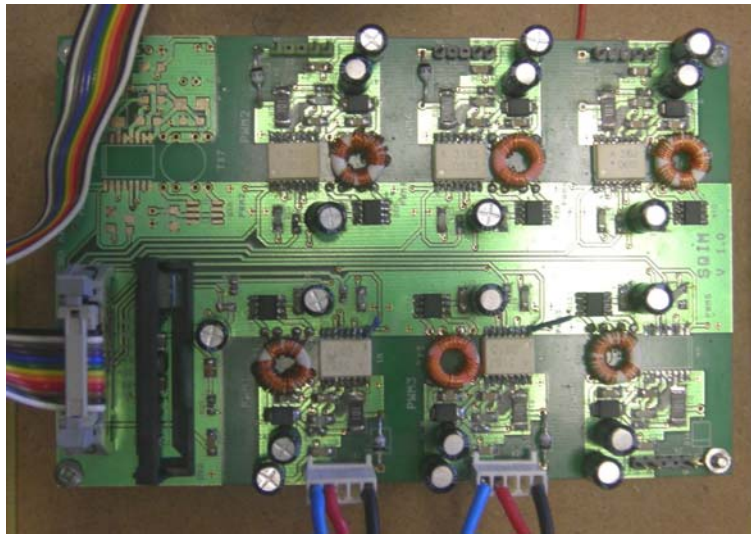
Figura A.9: Esquema elèctric del convertidor estàtic amb els components elèctrics adequats

#### A.4. Els *drivers* aïllats per a l'accionament dels MOSFET

Ja en l'apartat 3.1.3 s'ha introduït i explicat el funcionament dels *drivers* aïllats que s'intercalen entre l'electrònica de control i l'etapa de potència. A la Figura A.10 es pot observar amb més detall l'estructura de la placa que conté els *drivers*. A la fotografia es veu com a la part central hi ha un pla de "massa" o referència que és comú a cada un dels sis circuits de *drivers*. Però separats galvànicaament pel circuit integrat de color blanc i el transformador toroïdal, cada *driver* té el seu propi pla de referència que es col·locarà a la tensió de *sortidor* del MOSFET o



IGBT amb què s'estigui treballant sense tenir problemes d'incompatibilitat ni risc de curtcircuits.



*Figura A.10: Placa de “drivers” SQUIM, on només s'utilitzen les dues sortides inferiors de les sis disponibles*

### A.5. El sensor làser de deformació

A la Figura A.11 es mostra la fotografia del muntatge real del que s'ha representat esquemàticament a la Figura 3.13. L'actuador piezoelèctric té una platina de plàstic a la punta per tal de permetre el rebot del raig làser que serà reflectit al sensor òptic de l'aparell de mesura.



*Figura A.11: Fotografia del sensor làser de deformació enfocant a la làmina de plàstic de l'extrem de l'actuador piezoelèctric*

En aquest muntatge hi ha l'inconvenient que la deformació de l'element piezoelèctric és tan petita que tot just s'arriba a percebre amb el sensor de deformació. A part del posicionament que es mostra a la figura anterior, s'han provat altres configuracions de muntatge per intentar captar millor el desplaçament de la punta de l'actuador piezoelèctric.



## A.6. La superfície d'assaig d'actuadors piezoelèctrics

Per realitzar els assajos amb els actuadors piezoelèctrics cal enclavar-los en algun suport fix per un extrem i deixar la resta de l'element lliure per tal de què pugui realitzar la seva deformació sense impediments. Per a aquesta finalitat es disposa de la base metàl·lica de la Figura A.12 que conté diferents forats roscats a diverses posicions per tal d'adaptar la fixació de l'actuador a la base metàl·lica. Aquesta plataforma també conté el suport que manté fixat el sensor làser i calibrar-ne la seva distància i posició relativa respecte el punt de l'actuador piezoelèctric a mesurar.



*Figura A.12: Fotografia de la base per enclavar els actuadors piezoelèctrics per al seu assaig*







## Annex B

### B. La placa d'interfície PiGA

El contingut de la placa PiGA i cada una de les seves parts han estat àmpliament descrites durant tot l'apartat 3.2. En aquest annex es mostren els resultats obtinguts durant els assajos previs que s'han realitzat per validar el funcionament de cada secció de la placa. Abans d'entrar en detall, a les dues figures següents hi ha la fotografia de la placa PiGA i s'indica com estan repartits els diferents elements en tota la seva superfície.

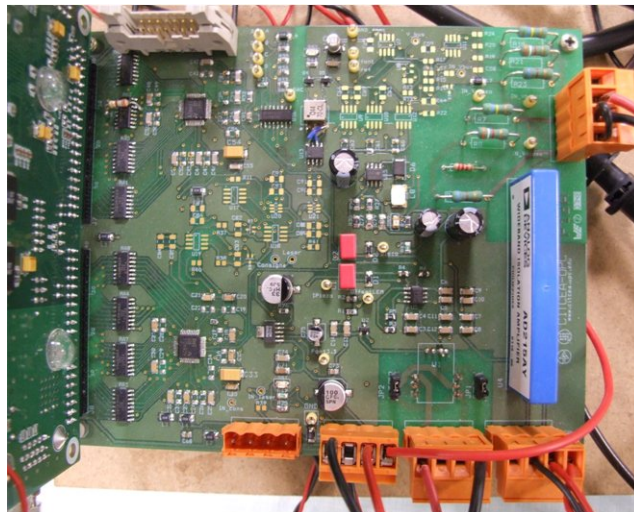


Figura B.1: Fotografia de la placa d'interfície PiGA

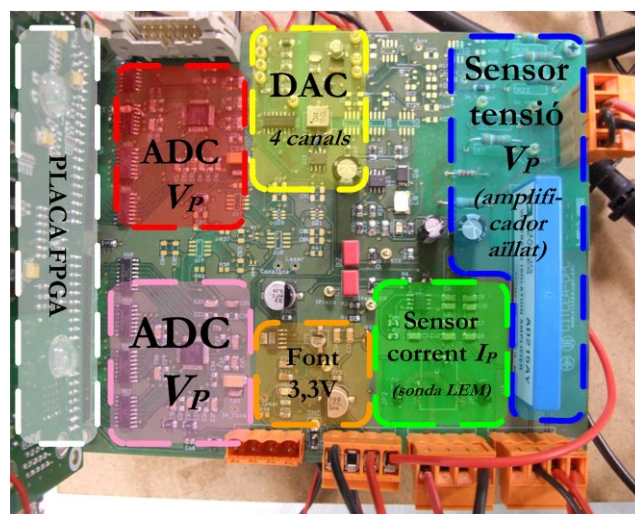


Figura B.2: Fotografia de la placa PiGA on s'hi indica la funció que es realitza a cada sector



### B.1. El sensor de tensió als borns del piezoelèctric

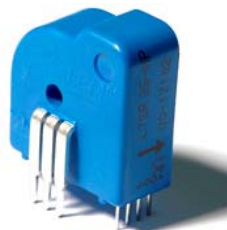
Gràcies a l'amplificador operacional aïllat AD215AY que es mostra a la figura següent, que recull la tensió del divisor resistiu que hi ha a la placa, s'ha aconseguit separar galvànicament el circuit de potència del qual es prenen les mesures del circuit electrònic de la placa.



*Figura B.3: Amplificador aïllat utilitzat per les mesures de tensió*

### B.2. Sensor de corrent que travessa l'actuador piezoelèctric

El procés per adquirir els nivells de corrent que capta la sonda d'efecte Hall és lleugerament més complex que pels de tensió. El fet que el valor surti amb un offset i amb una amplitud molt petita requereix uns quants passos més abans no es pugui entrar el senyal al convertidor analògic-digital. La figura següent mostra l'aspecte del transductor LTSR-25-NP utilitzat. Cal mencionar que aquest mateix component ja ofereix aïllament galvànic tot i que no seria necessari degut a què les mostres de corrent es prenen al nivell de tensió de referència de la bancada i no hi ha perill de mesclar diferents potencials de referència i crear un curtcircuit.



*Figura B.4: Transductor de corrent que s'ha utilitzat a la placa PiGA*

Per assegurar que la tensió llegida per l'FPGA és correcta s'han realitzat un seguit de proves els resultats dels quals es mostren a l'apartat següent.

### B.3. Els convertidors analògics-digitals

S'han fet assajos per comprovar el correcte funcionament de les lectures de tensió i corrent per tal de comprovar si la relació entre el valor de tensió real i el digitalitzat és tal com s'espera. Per al senyal de tensió s'ha fet la prova donant tensions constants conegudes connectant l'autotransformador i el rectificador als borns de mesura de la tensió i, pels valors de corrent, s'ha fet el mateix aplicant fluxos de corrent de valor conegut a través del transductor de corrent. Amb un bloc de programa per comunicar l'FPGA i l'ordinador a través d'RS232 s'han pogut recollir els valors que realment surten de l'ADC i entren a l'FPGA per treballar amb





elles. En aquest apartat de l'annex es mostren els resultats de les proves realitzades amb el sensor de corrent, ja que requereix passos d'adaptació del senyal que per les mesures de tensió no són necessàries.

- a) Comprovació dels valors a la sortida del transductor de corrent respecte una entrada de corrent  $I_p$  conegut: les corbes real (vermell) i teòrica (blau) són molt similars i s'ajusten quasi perfectament a les dades donades pel fabricant LEM.

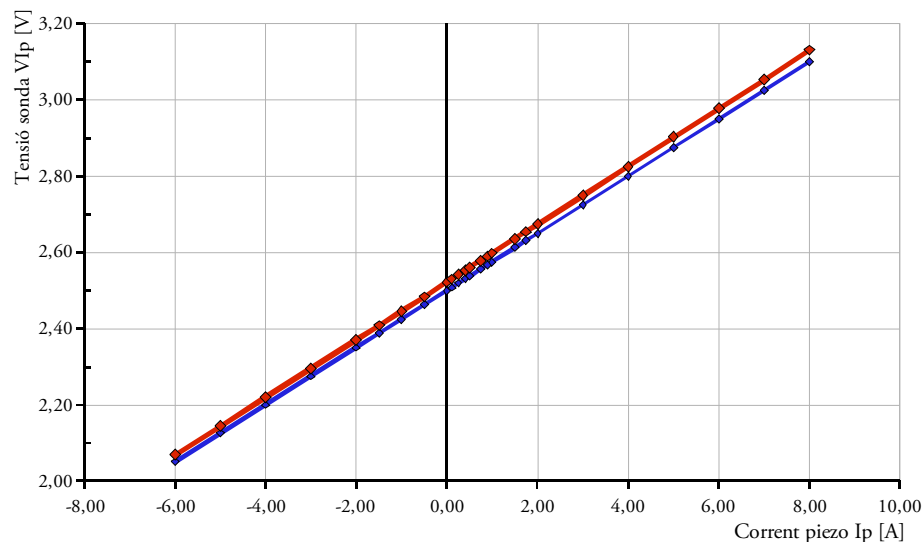


Figura B.5: Correlació de la tensió de sortida de la sonda de corrent (blau) i el corrent real que la travessa(vermell)

- b) Comprovació dels valors reals obtinguts de la digitalització a l'ADC (vermell) respecte els que s'obtenen amb els càlculs teòrics (blau): les dues corbes estan totalment sobreposades, per tant, la conversió real s'ajusta perfectament al que s'havia previst. A més s'aprofita una bona part del rang que ofereixen els 65.536 valors possibles que dona estar treballant amb l'ADC de 16bit.

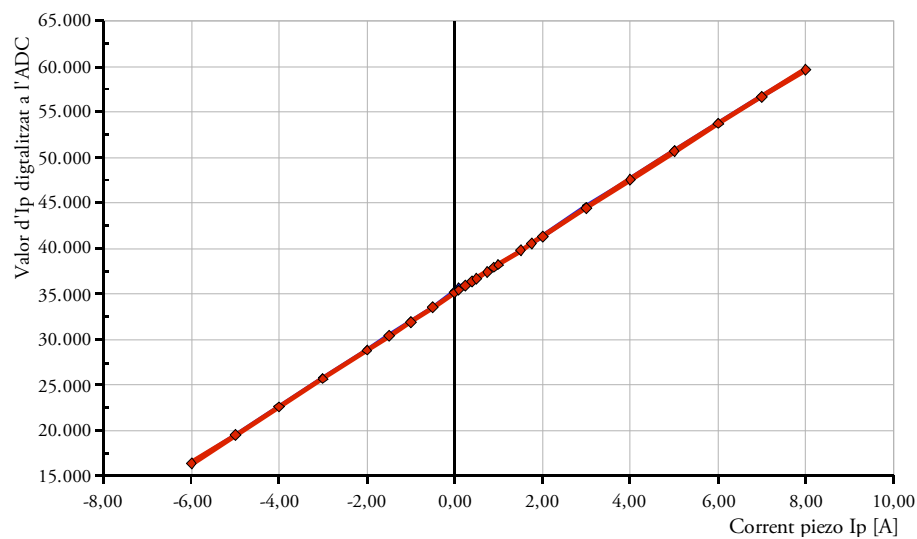


Figura B.6: Correlació dels valors digitalitzats respecte el corrent  $I_p$  que travessa l'actuador piezoelèctric.



D'aquesta corba es pot treure la relació lineal entre el corrent que travessa l'actuador piezoelèctric ( $I_p$ ) i el valor de corrent digitalitzat:

$$ValorI_p - DAC = 3.105,8 \cdot I_p + 35.171 \quad (B.1)$$

#### B.4. Conversió de analògica-digital a digital-analògica

En l'apartat anterior s'ha comprovat que el valor que entra a l'interior de l'FPGA sigui el correcte mitjançant l'extracció de les dades a través de comunicacions. En aquest apartat es continuen els primers resultats mostrats a l'apartat 5.2.1, visualitzant amb l'oscil·loscopi tant el valor real d'entrada (línia groga) com el valor que surt per la sortida del convertidor digital-analògic (línia verda) i que, per tant, ja ha estat processat pel codi de l'FPGA. En concret les següents figures mostren els fenòmens que ocorren quan es comença a treballar amb senyals d'entrada de freqüències més elevades.

- a) A partir de senyals d'entrada de 10kHz es comença a percebre la limitació que té el DAC per actualitzar els valors de la sortida. En aquesta captura ampliada de la consigna a 10kHz es veuen els graons formats a causa del temps que es triga en transmetre el nou valor i mostrar-lo per la sortida.

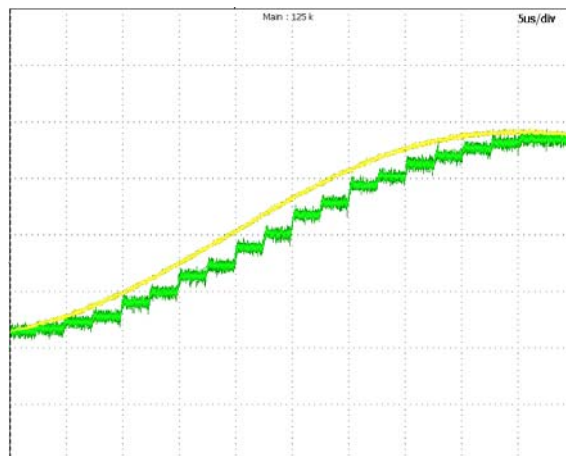


Figura B.7: Ampliació del senyal del DAC (verd) seguint una sinusoide a 10kHz

- b) S'ha fet la mateixa prova per una entrada a 100kHz i 1MHz comprovant com cada vegada els resultats són pitjors: apareixent *aliasing* i deformant per complet l'ona original.





Figura B.8: Aparició d'aliasing en el senyal reconstruït en el DAC per una consigna a 100kHz

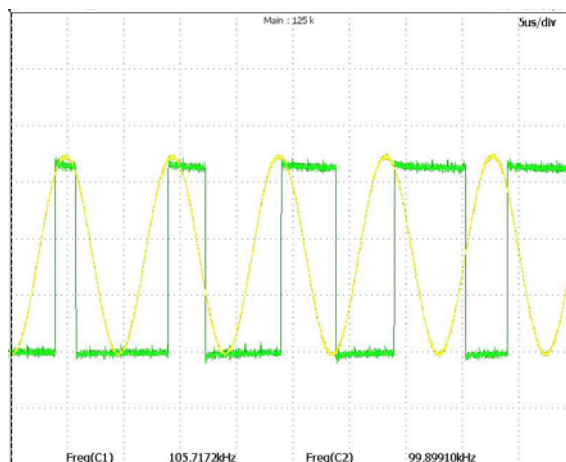


Figura B.9: Senyal de sortida del DAC seguint una sinusoide d'1MHz

- c) Ja s'ha comentat en la memòria que les comunicacions entre l'FPGA i el DAC són a través de SPI, amb el qual s'alenteix la velocitat de transmissió de dades comparant-ho en el cas de transmissió en paral·lel. A la figura següent es veu una trama de dades de 16bit amb els senyals de sincronització (magenta), rellotge (verd) i dades (groc).

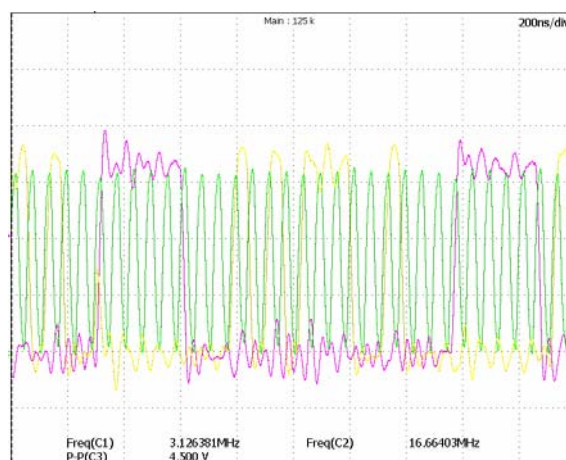


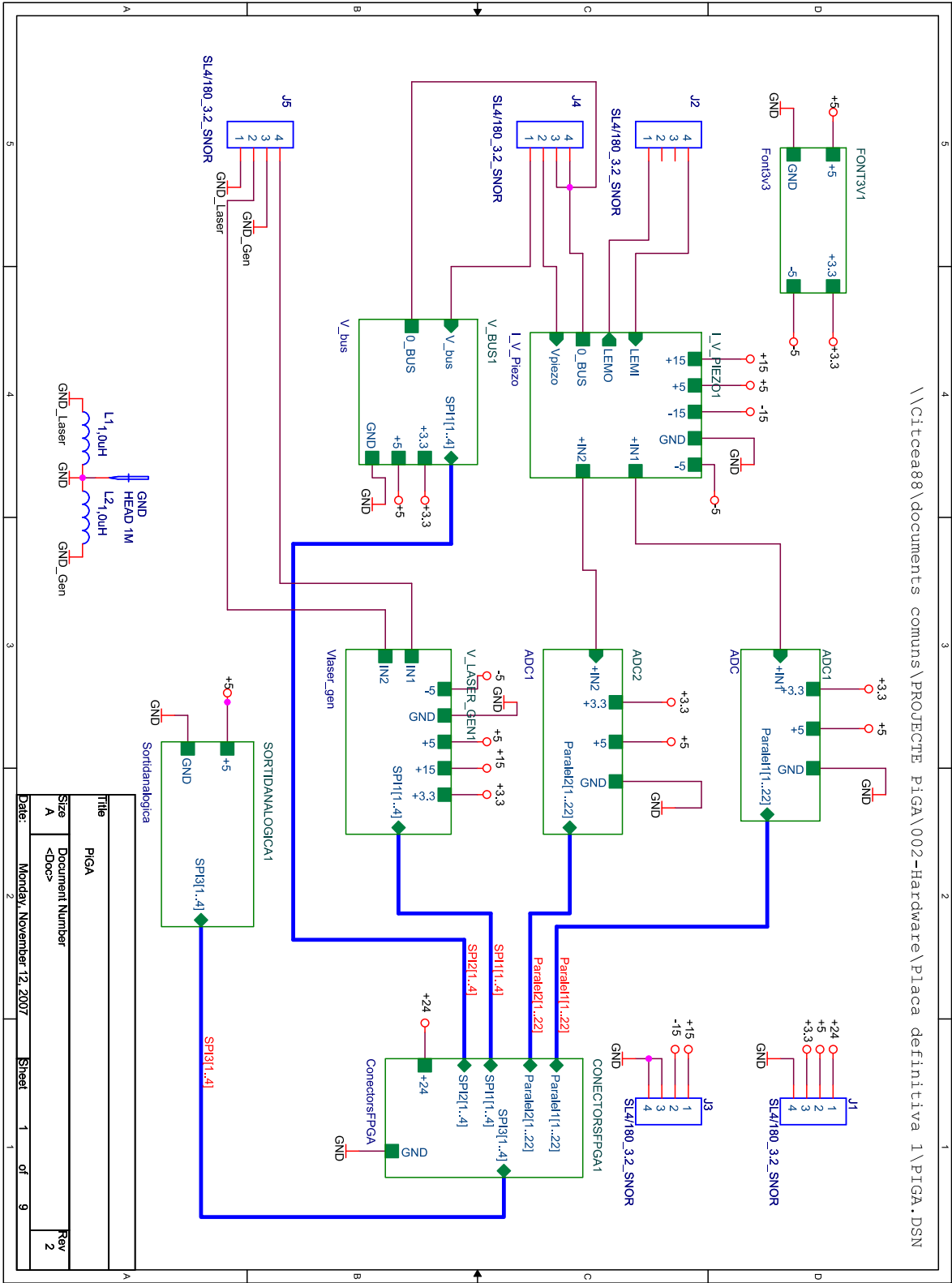
Figura B.10: Senyals de la comunicació sèrie que envia l'FPGA al DAC

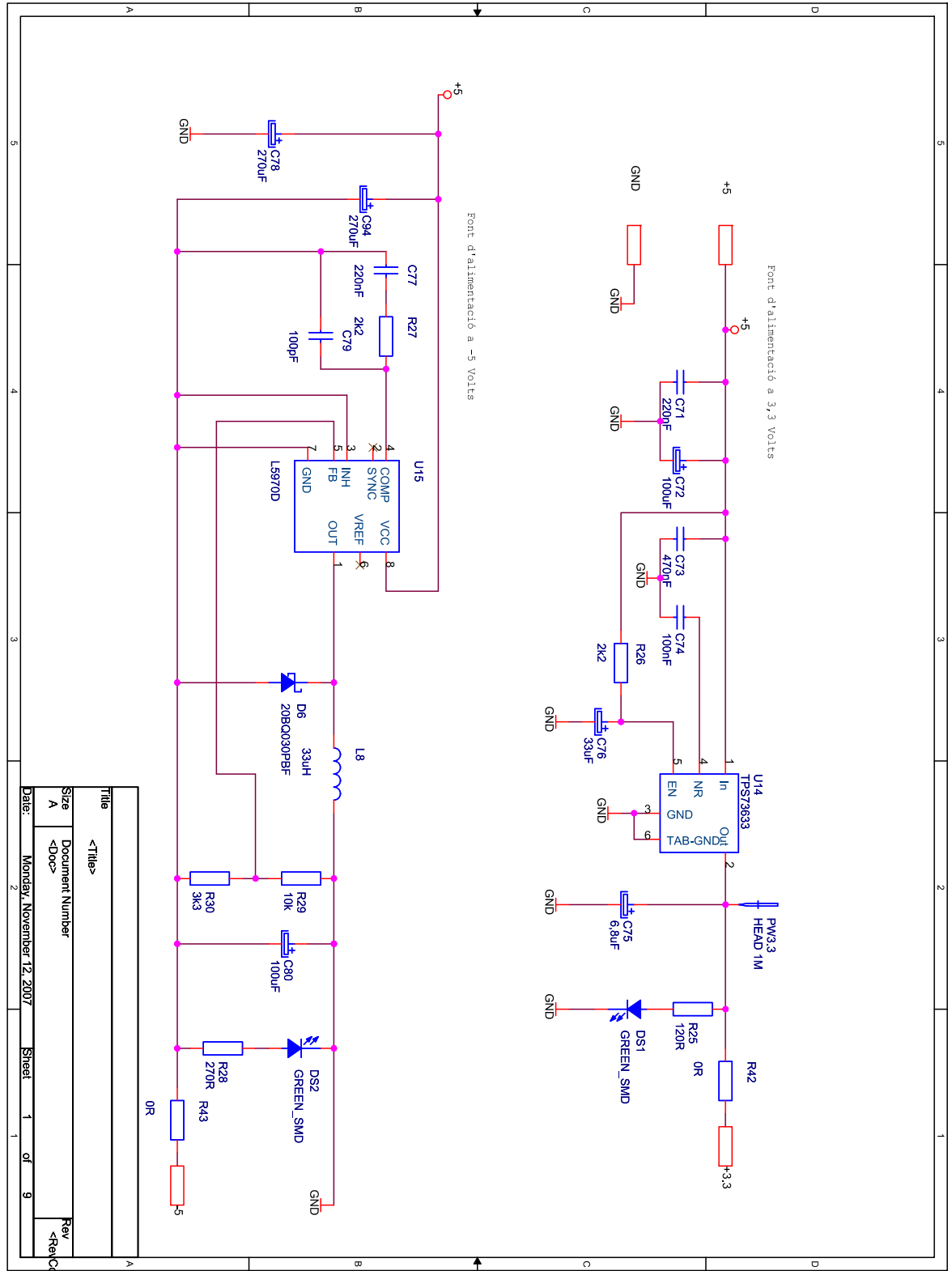


## B.5. Esquemes electrònics de la placa

En les nou pàgines següents s'han adjuntat els esquemes del circuit electrònic de la placa de mesures PiGA. Cada una dels blocs d'aquesta primera pàgina que hi ha als esquemes fa referència a un seguit d'esquemes que es pot trobar a les pàgines que segueixen:

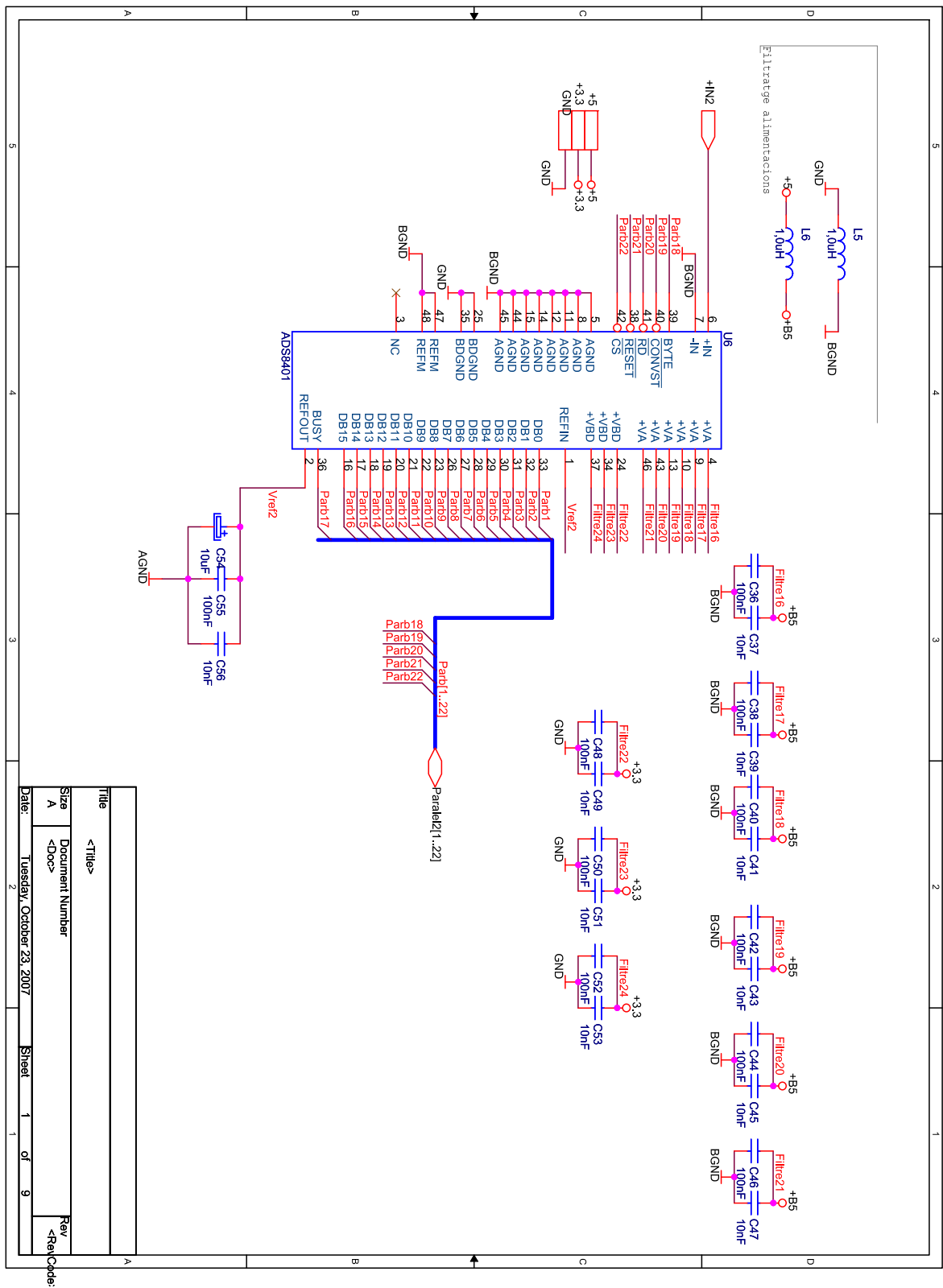


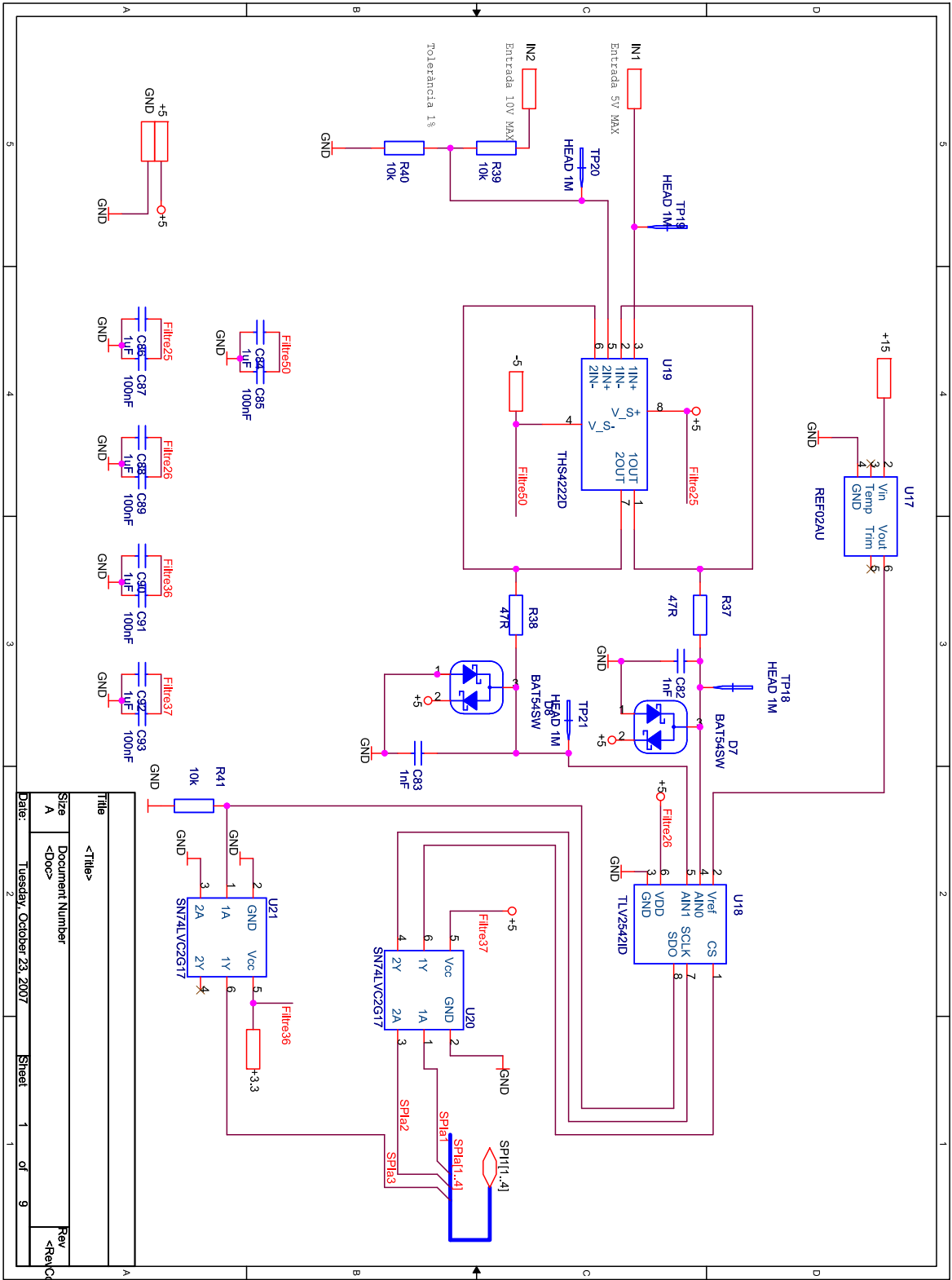




Title		<Title>	
Size		Document Number	
A		<Doc>	
Date:		Monday, November 12, 2007	Sheet 1 of 9
Rev		<RevCode>	



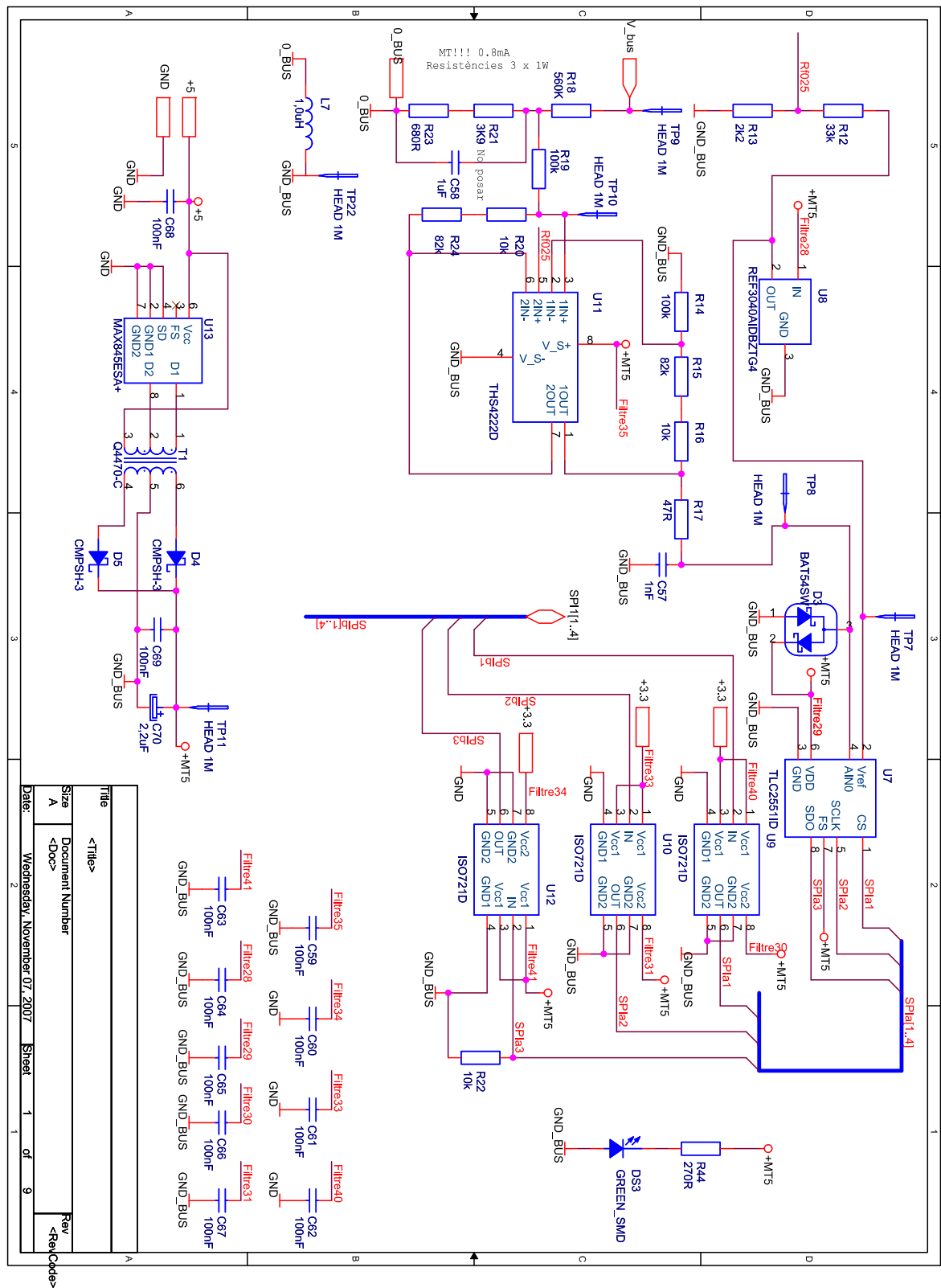


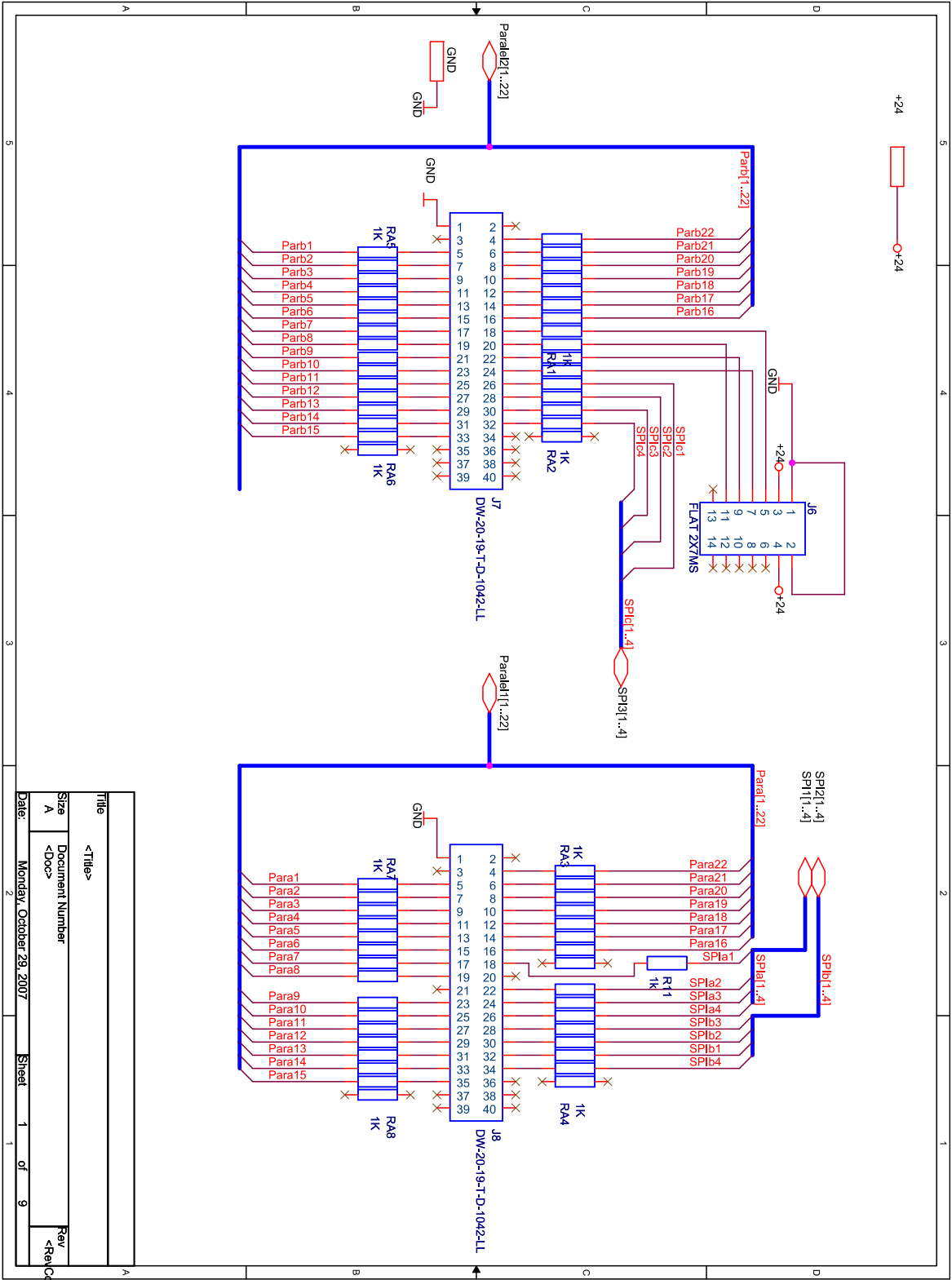


Title	
<Title>	
Size	
<Doc>	
Date	
Tuesday, October 23, 2007	
Sheet	
1	
of	
9	
Rev	
<RevCode>	



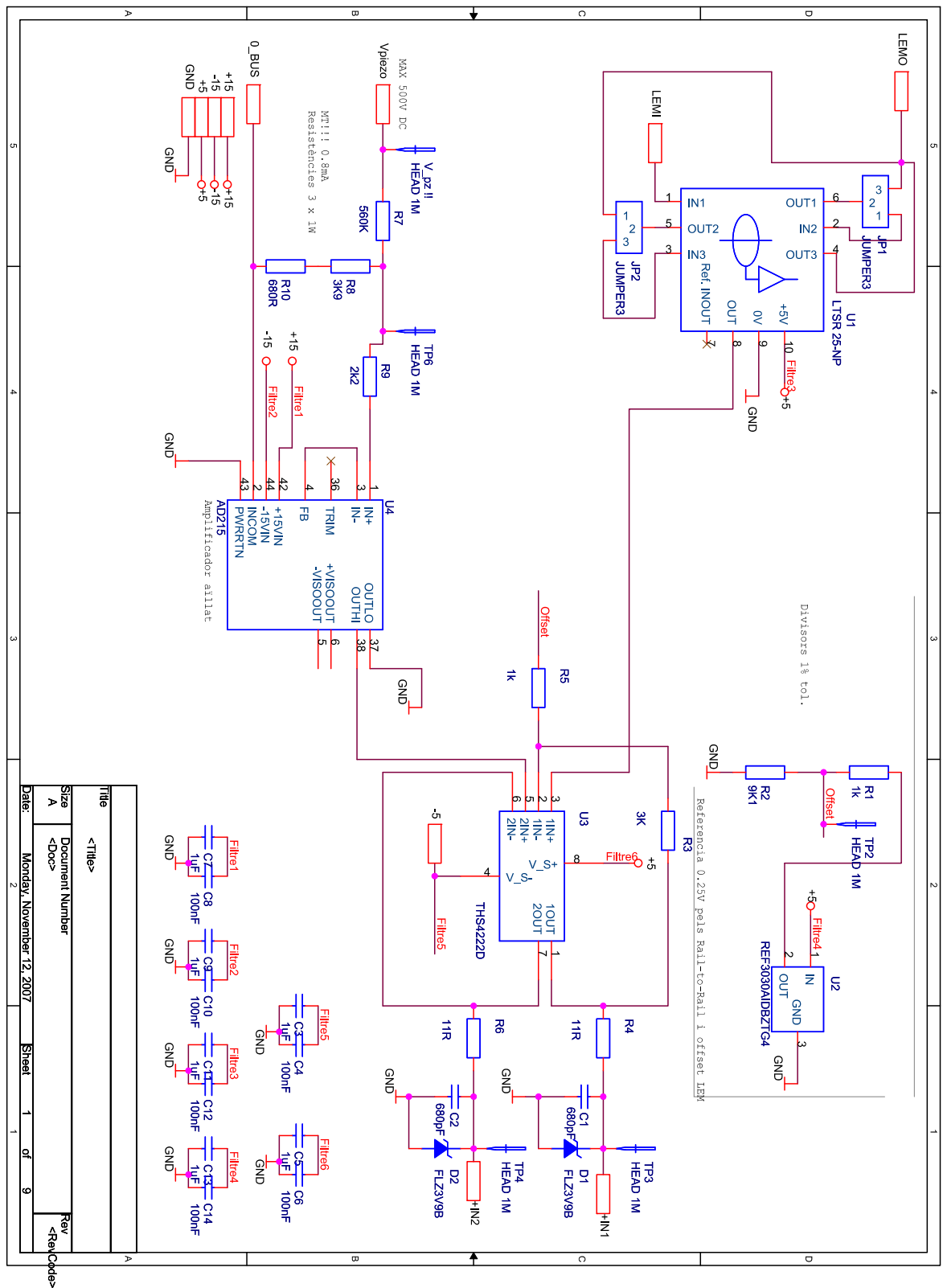




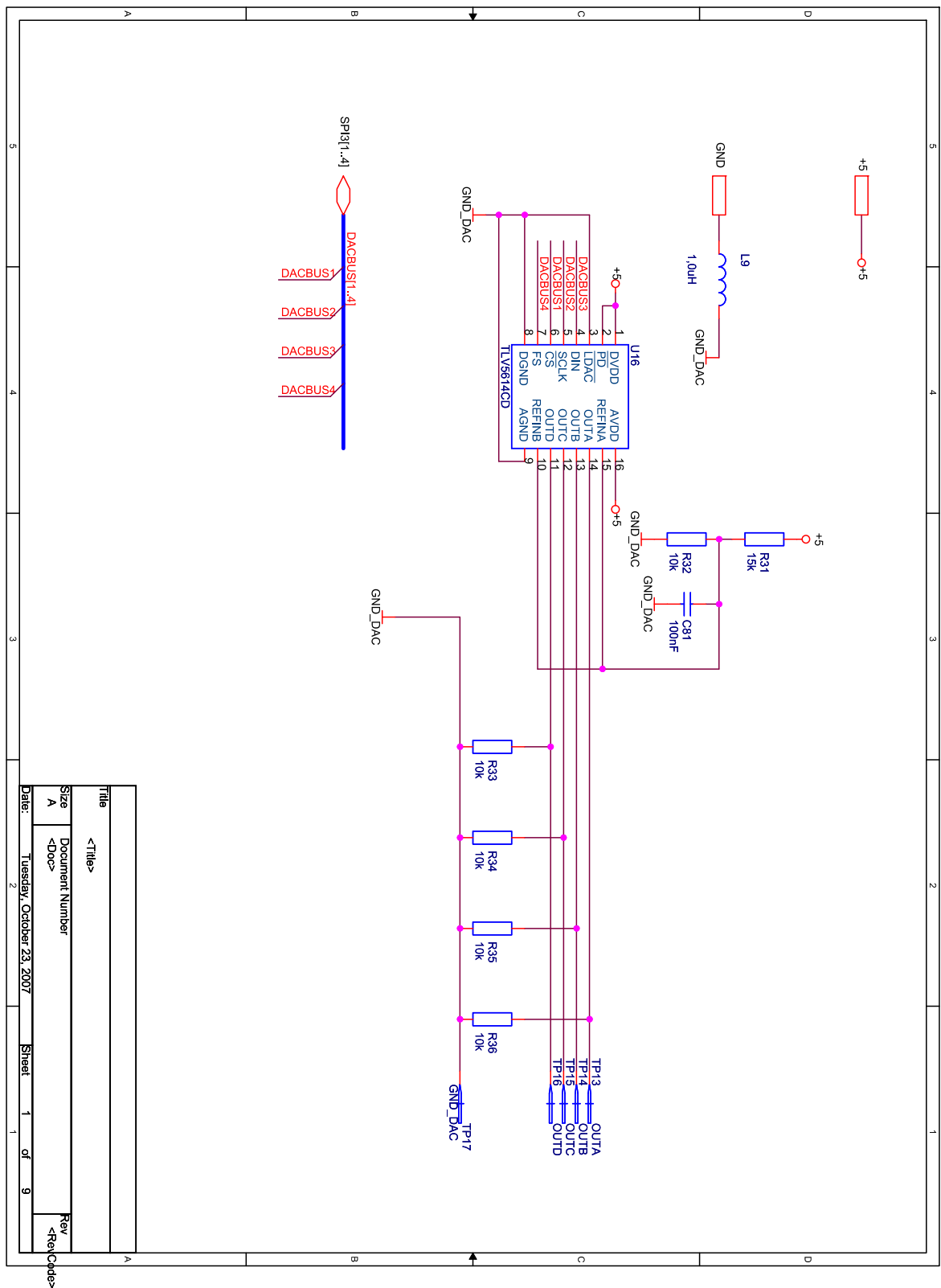


Title		<Title>	
Size		Document Number	
A		<Doc>	
Date:		Monday, October 29, 2007	
		Sheet 1 of 9	
		Rev	
		<RevCode>	











## Annex C

### C. La placa de control de l'FPGA

L'FPGA s'utilitza muntada en una placa comercial destinada a la docència i l'avaluació d'aquest tipus de component electrònic. Com es veu a la Figura C. aquesta placa conté molts components per a l'entrada i sortida d'informació, ja sigui per interactuar directament amb l'usuari amb els LED, commutadors, pulsadors o simplement per transmetre senyals a través dels nombrosos connectors. A part, la placa també incorpora memòries Flash i RAM externes, un oscil·lador, transceptors de comunicacions entre d'altres. El pas de la informació entre la placa de mesures PiGA i l'FPGA s'ha realitzat a través dels dos connectors de 40 pin cadascun que hi ha a la part superior de la imatge següent.

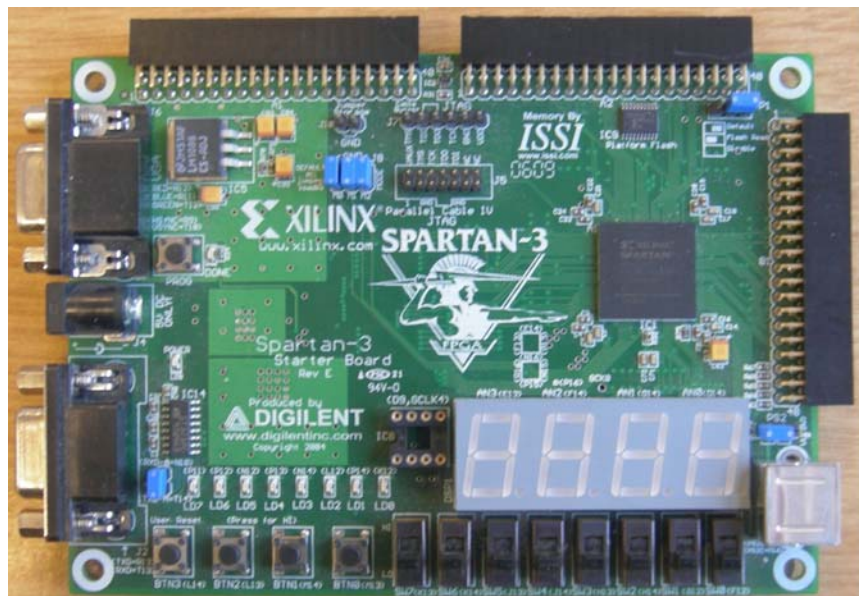


Figura C.1: Fotografia de la placa Spartan-3 Starter Board que conté l'FPGA de Xilinx

Aquesta placa representa físicament l'etapa de control. La part més important és l'FPGA ja que és on s'hi implementa i corre el codi de programa que gestionarà tota la bancada.

#### C.1. Limitacions del control

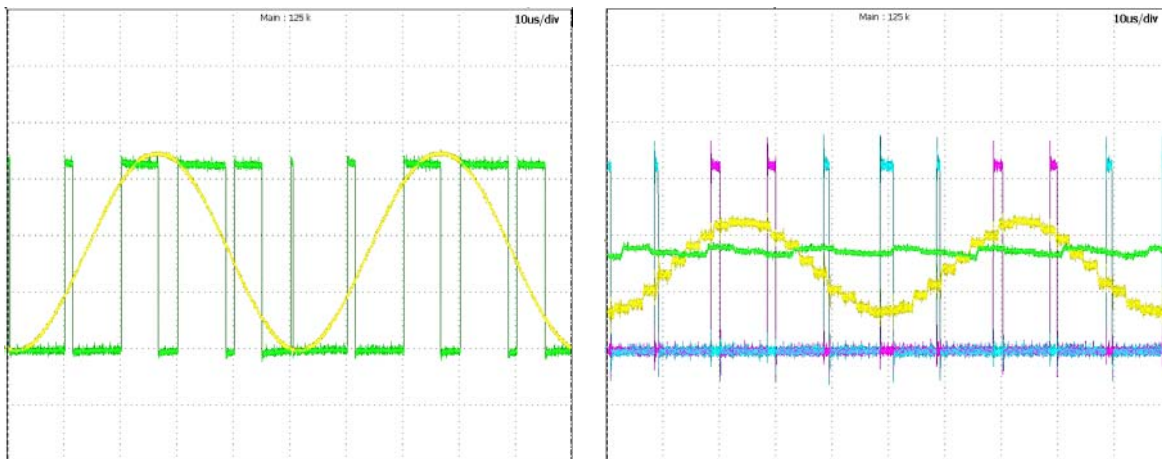
Per treballar amb la bancada cal conèixer fins a quin és el límit a partir del qual qualsevol prova que es faci deixi de ser vàlida perquè l'equipament de la bancada no té les prestacions suficients. Per exemple, en aquest mateix annex s'ha vist com els senyals que surten del DAC



comencen a veure's influenciats per les limitacions de velocitat de transmissió o, com es veia al final de l'apartat 5 com els senyals de més de 10kHz comencen a ser difícils de reproduir pel PWM.

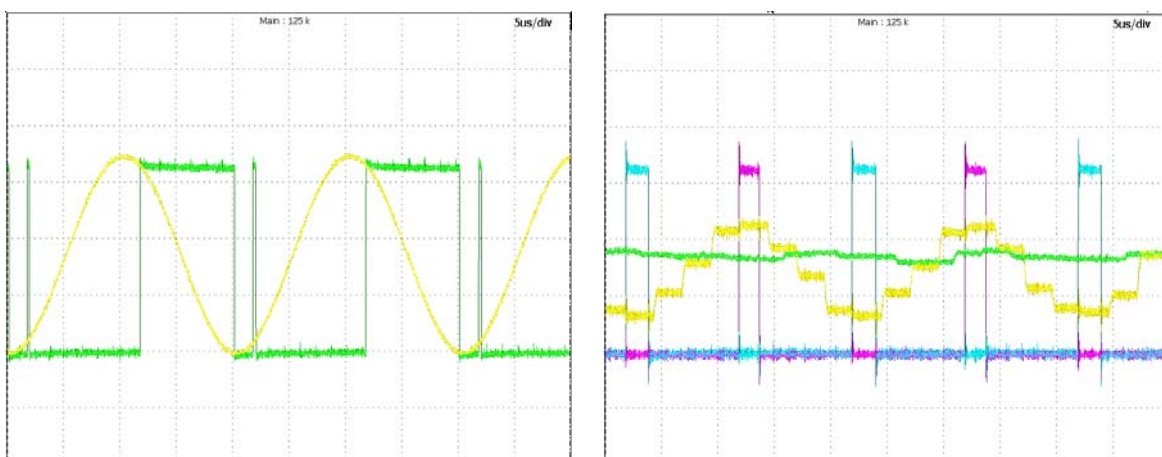
S'han realitzat uns assajos per comprovar quins efectes té sobre el senyal PWM estar treballant amb consignes amb freqüències superiors als 10kHz i els resultats són els següents:

- a) Amb la consigna sinusoidal (groc) a 20kHz es comprova quin es el senyal PWM que surt per dos casos. En el cas de la captura de l'esquerra es manté la tensió a l'actuador piezoelèctric sempre constant a zero, per tant només actua el PWM (verd) que activa el SW1. En la captura de la dreta es té una consigna similar però aquest cop es dona un valor fix a la tensió a l'element piezoelèctric (verd) donant cada vegada un PWM d'un canal diferent segons la consigna estigui per sota o per sobre de la tensió real.



*Figura C.2: Resposta del senyal PWM davant d'una consigna sinusoidal de 20kHz*

- b) Es fan els dos mateixos assajos pel cas de 50kHz.



*Figura C.3: Resposta dels senyals de PWM per una consigna de 50kHz*





Comparant aquests resultats amb els del cas anterior es veu com per l'assaig amb tensió a l'actuador piezoelèctric nul·la quasi no sofreix variacions, en canvi per l'altre cas els senyals són la mínima expressió d'un PWM i, degut a que el senyal de consigna va a la meitat de freqüència que les commutacions només poden aparèixer dues commutacions per període.

- c) S'ha provat la resposta a una ona a 100kHz, d'on només s'han pogut treure resultats per l'assaig on només actua un sol PWM ja que el que s'obté per l'altre assaig no té cap tipus de validesa. Es veu com l'únic que pot fer el control és donar un pols un cop per període. A més, l'amplada dels polsos va variant en el temps, cosa que significa que ha aparegut una component de baixa freqüència degut a l'*aliasing* que apareix pel fet d'estar treballant amb marges de freqüència, mostreig i modulació PWM tan petits.

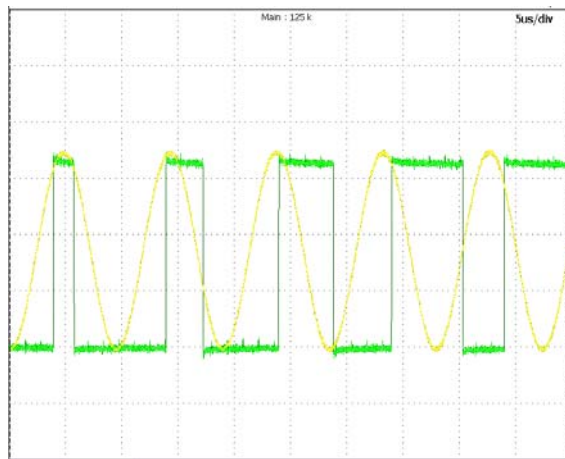


Figura C.4: Assaig amb una consigna a 100kHz, igual que la freqüència de commutació



## C.2. El software de programació

Per a programar el codi de programa s'ha utilitzat principalment el Xilinx Platform Studio que encara que no té eines de simulació i detecció d'errors de codi, ofereix un bon entorn gràfic molt enfocat a crear sistemes que engloben diferents perifèrics. A la imatge següent es mostra una captura de pantalla amb l'entorn on es realitzen les connexions entre els diferents ports dels perifèrics. Per altra part, a la finestra de l'esquerra hi ha la llista de possibles perifèrics que es poden agregar al projecte. Concretament, la llista desplegada correspon a aquells blocs que el propi usuari es crea per acabar afegint al projecte i interconnectar-los amb la resta per a què interactuïn formant un sol programa.

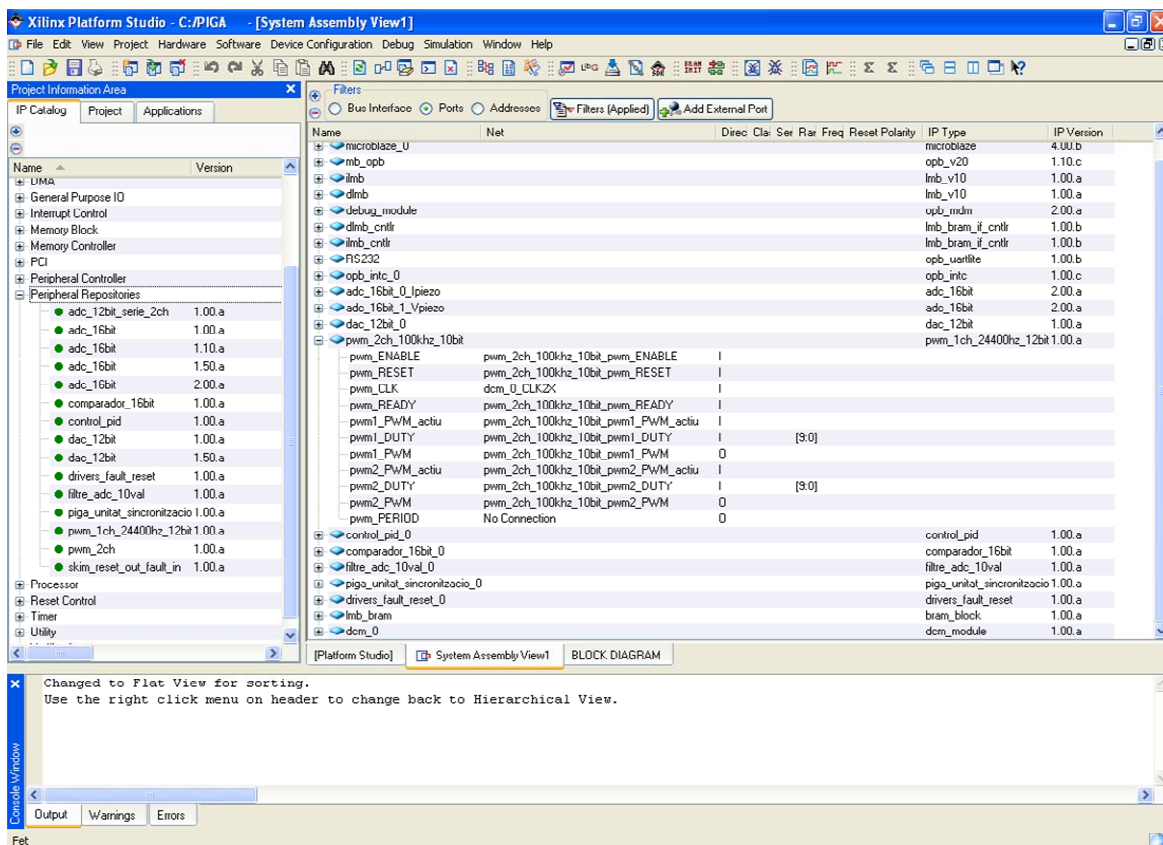


Figura C.5: Captura de pantalla de l'entorn del Xilinx Platform Studio

Més a mida de curiositat que d'ús que s'ha donat al projecte degut al seu complex funcionament, es mostren dues captures més del programari que ofereix el fabricant per programar i optimitzar el codi programat. La imatge següent correspon al programa Xilinx PACE, que ofereix una vista esquemàtica de tots els ports d'entrada i sortida de l'FPGA indicant-ne la seva ubicació, configuració, funció, quin perifèric els està fent servir, etc. Però el més útil és la graella de la part inferior esquerra: en aquesta taula es poden visualitzar i



modificar totes les configuracions dels ports definint propietats com, si és un port d'entrada o sortida, tipus d'entrada: lògica, diferencial, ràpida..., nivell de tensió de sortida (1'1V, 1,5V, 1,3V, 2,5V, 3,3V...), entre d'altres.

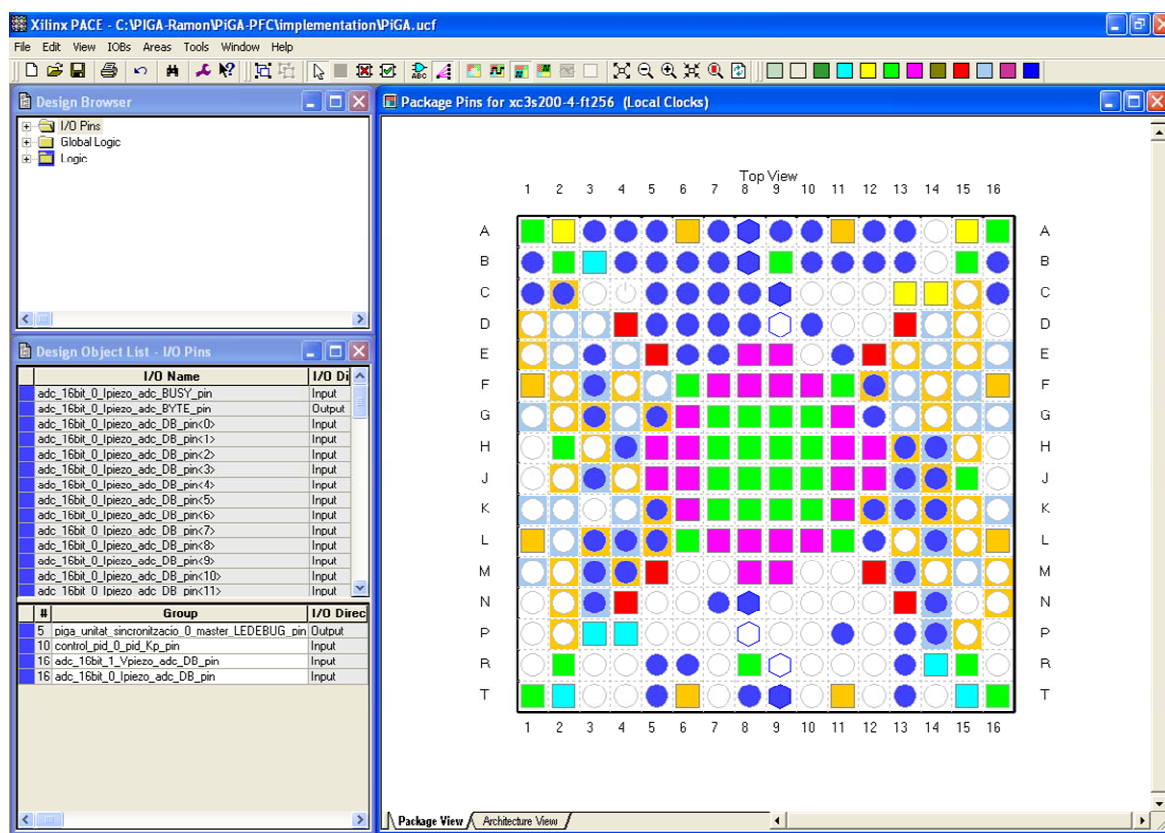


Figura C.6: Captura de pantalla del programa Xilinx PACE per a la configuració dels ports d'entrada/sortida

Finalment, en la figura següent, es mostra l'eina Xilinx FloorPlaner que, tal com indica el nom és un programa que mostra la distribució espacial i la superfície ocupada per les cel·les lògiques utilitzades en l'FPGA per generar el codi que s'ha programat en VHDL. Aquesta eina és molt útil per acabar de fer algun retoc per millorar l'eficiència i la fiabilitat d'execució del codi: canviant la ubicació d'una cel·la utilitzada per minimitzar distàncies de connexions, visualitzar quants i quins blocs de maquinari dedicat s'utilitzen (DCM, multiplicadors, memòria RAM...). El seu ús, però, està limitat a programadors experts i amb prou coneixements com per afrontar les conseqüències bones o dolentes que pot provocar realitzar algun canvi a aquest nivell tan baix de la programació.



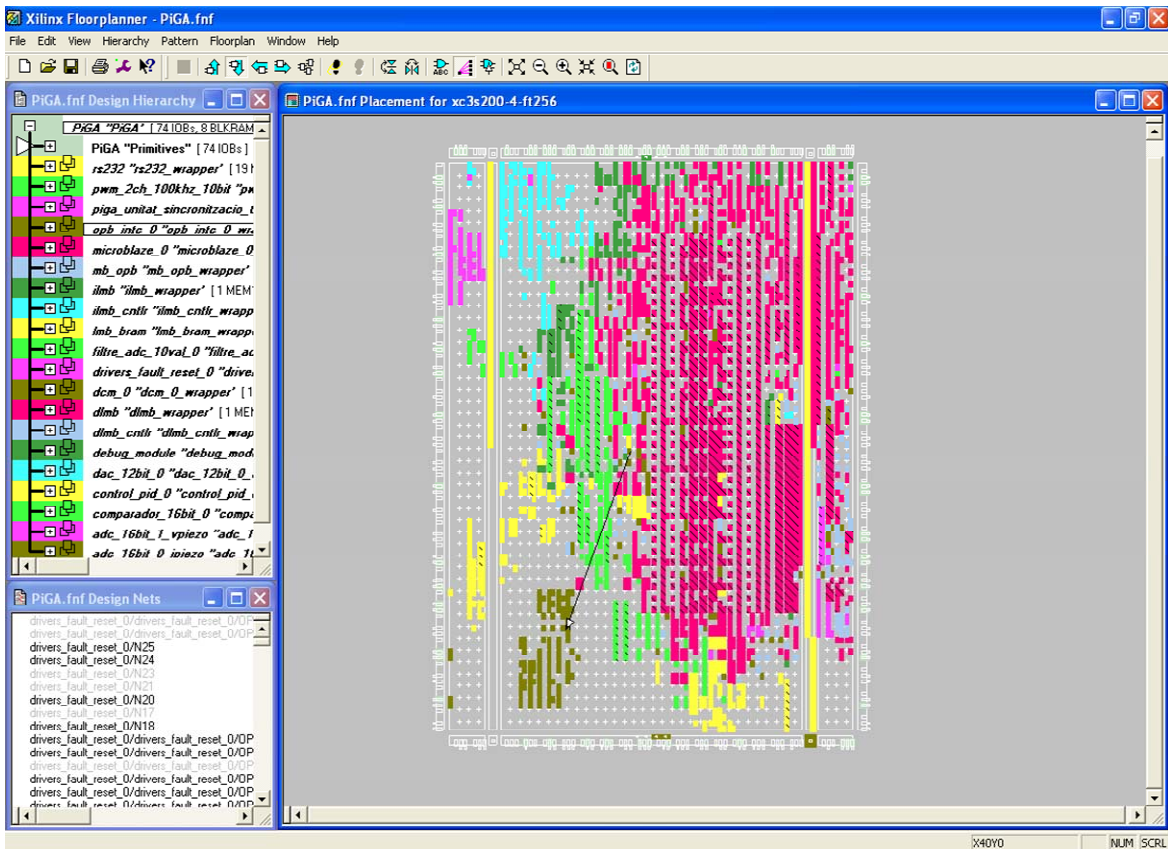


Figura C.7: Captura de pantalla del programa Xilinx FloorPlaner on s'hi mostra la distribució espacial del programa de la bancada



## Annex D

### D. Codi dels perifèrics implementats en l'FPGA

L'FPGA s'ha programat amb el programari subministrat pel fabricant d'FPGA XILINX. A la xarxa hi ha el paquet Xilinx ISE WebPack que conté tots els programes indispensables per a una correcta programació d'aquests dispositius i, que permeten seguir el flux estàndard de programació en VHDL:

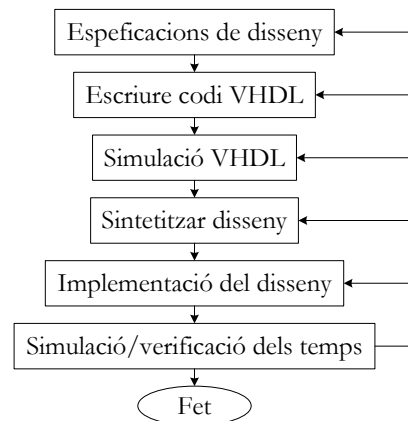


Figura D.1: Flux de programació en VHDL [font: Xilinx Speedway 2009]

Cada un dels programes que inclou el paquet ISE WebPACK respon als requisits necessaris per satisfer cada un dels blocs anteriors. El principal programa és l'ISE Design Suite, ja que des d'aquest s'accedeix a les aplicacions que permeten anar seguint el flux de disseny indicat a la dalt.

Fins ara s'ha comentat que a les FPGA s'hi programa maquinari, però Xilinx ofereix les eines per poder treballar amb programari: el *MicroBlaze*. El *MicroBlaze*, en el fons no deixa de ser un perifèric que es carrega a l'FPGA, però que és d'una complexitat molt superior ja que es tracta d'un microcontrolador incrustat. Gràcies al Xilinx Platform Studio (XPS), es poden elegir totes les característiques de maquinari que es necessiten per aquest microcontrolador: quantitat de ports genèrics d'entrada i sortida, memòria interna, ports de comunicacions, etc. A més, en l'XPS es permeten afegir tants perifèrics com calgui, ja siguin de la biblioteca d'IP Cores (*Intellectual Property Cores*, Nuclis de propietat intel·lectual) que vénen en el paquet de Xilinx, com perifèrics creats pel mateix usuari, com és el cas en aquest projecte.



El que s'ha realitzat en el present projecte és una mescla d'aquestes dues eines: per una part, tots els perifèrics que s'han creat, ha estat seguint el flux de treball indicat a la a dalt i utilitzant l'ISE Design Suite per a la seva edició. Amb cada un dels perifèrics convenientment programats i verificats separatament, les interconnexions entre tots ells (Figura 4.25) s'han realitzat en l'entorn de l'XPS. Tot i que per treballar amb l'XPS calgui introduir un MicroBlaze a l'FPGA que, en aquesta versió de la plataforma no ofereix moltes prestacions en l'apartat de programari, s'ha volgut realitzar amb aquest programa perquè es poden realitzar les connexions de manera més visual i perquè es deixa la porta oberta a futures aplicacions de programari.

Seguidament es comenta l'estructura interna dels perifèrics que s'han creat, abans, però, es comentarà una de les estructures més utilitzades per la seva implementació: la màquina d'estats.

### D.1. Programació i estructura de les màquines d'estats finits

Quan s'ha de dissenyar l'estructura del programa en un microcontrolador o en qualsevol sistema electrònic en el qual s'han d'anar repetint un seguit d'operacions repetitives, el més eficaç és programar autòmat programable o màquina d'estats finits. Aquestes màquines d'estats finits es poden definir com a una successió d'estats o etapes per cada una de les quals hi ha una configuració concreta de les sortides del sistema. L'activació d'unes entrades concretes activaran la transició cap a un estat o un altre. D'aquesta manera, s'aconsegueix que l'estat de les sortides del sistema es vagi repetint cíclicament.

Existeixen diferents tipus de màquina d'estats, d'entre elles, les més conegudes són la de Moore i de Mealy. La diferència principal entre aquestes dues tipologies és que en una màquina de Mealy l'estat de les sortides va en funció de les entrades i l'estat en què s'estigui, però en el cas de la màquina de Moore, l'estat de les sortides únicament depèn de l'estat actual. Tot i que hi ha transformacions que demostren l'existència d'equivalència entre aquestes dues tipologies, en el present projecte s'ha aplicat la màquina d'estats de Moore perquè és l'estructura ideal per ser utilitzada en processos temporitzats: el valor de la variable *temps* és la causa de la transició d'un estat a un altre, amb la qual cosa les sortides prenen el valor corresponent a cada un d'aquest estat.

L'estructura seguida per implementar una màquina d'estats requereix quatre parts, que en codi VHDL s'acaben implementant com a processos. Aquestes quatre parts són: el comptador, el sincronitzador del procés, la descodificació de sortides i l'assignació de l'estat següent. Abans de veure els primeres línies de codi, cal declarar una variable (en VHDL les variables prenen el





nom de *senyals* pel sentit físic (maquinari) que tenen) que sigui d'un tipus de dades enumerat, on cada element sigui un dels estats de la màquina.

```
type tESTAT is (Estat_1, Estat_2, Estat_3, Estat_Reset);
signal Estat, EstatSeguent : tESTAT;
```

- a) El comptador. Amb el senyal del rellotge CLK com a entrada, s'incrementa una unitat el valor d'un senyal a cada flanc de pujada del senyal de rellotge (CLK='1' and CLK'event). Aquest valor s'incrementa fins que s'arriba al nombre que marca el límit superior, pel cas de l'exemple el 99, moment en què el comptador es torna a posar a zero (others => 0) per reiniciar el compte.

```
COMPTADOR0_99 : process (CLK) --s'executa a cada canvi de l'estat de CLK
begin
    if (CLK='1' and CLK'event) then --flanc de pujada del rellotge
        if COMPTA < "1100011" then -- 99 en base 2
            COMPTA <= COMPTA +1; -- S'incrementa el comptador
        elsif TEMPS0_20 = 99 then --Si s'arriba al màxim
            TEMPS0_20 <= (others => 0); --posa a 0 el comptador
        end if;
    end if;
end process COMPTADOR0_99;
```

- b) El sincronitzador del procés és el procés que se n'encarrega que a cada pols de rellotge s'actualitzi l'estat actual. De manera genèrica sempre s'assigna el contingut de *Estat següent* a *Estat actual*. A més, en cas que hi hagi una entrada de *reset*, s'anirà directament a l'*Estat\_Reset*.

```
SYNC_PROC: process (CLK) --s'executa a cada canvi de l'estat de CLK
begin
    if (CLK'event and CLK = '1') then --flanc de pujada del rellotge
        if (Entrada_RESET = '0') then --Senyal de reset "active low"
            Estat <= Estat_Reset; --Es va a l'estat de reset
        else
            Estat <= Estat_seg; --Es va a l'estat següent,
            --que pot ser el mateix que
            --l'actual o no
        end if;
    end if;
end process SYNC_PROC;
```

- c) Al procés de descodificació de les sortides és on estan programats els valors de les sortides per cada estat. Per la definició de màquina d'estats de Moore, en el següent exemple es pot observar com les sortides depenen únicament de l'estat actual de la màquina.

```
OUTPUT_DECODE: process (Estat) -- Aquest procés s'executa quan hi ha
begin -- canvis en el senyal Estat

    if Estat = Estat_Reset then -- Sortides per l'Estat_Reset
        Sortida_1<='0';
        Sortida_2<'0';
```



```

    Sortida_3<='0';
end if;

if Estat = Estat_Reset then      -- Sortides per l'Estat_1
    Sortida_1<='1';
    Sortida_2<='0';
    Sortida_3<='0';
end if;

if Estat = Estat_Reset then      -- Sortides per l'Estat_2
    Sortida_1<='0';
    Sortida_2<='1';
    Sortida_3<='0';
end if;

if Estat = Estat_Reset then      -- Sortides per l'Estat_3
    Sortida_1<='0';
    Sortida_2<='0';
    Sortida_3<='1';
end if;
end process;

```

- d) A l'assignació de l'estat següent és, en una màquina de tipus Moore, l'únic punt on es tenen en compte totes les entrades. Quan s'entra en aquest procés, es comprova quin és el valor de l'estat actual. Segons aquest valor, només s'observen els valors de les entrades que podrien fer passar l'estat actual a un estat següent diferent.

```

ASSIGNACIO_D_ESTAT_SEGUENT: process (Estat, CLK)
begin
    Estat_seg <= Estat;          --normalment es queda al mateix estat

    case (Estat) is
        when Estat_Reset =>      --Quan l'estat actual és Estat_Reset
            if Entrada_1='1' then --si s'activa l'"Entrada_1"
                EstatSeguent <= Estat_1; --l'estat següent serà "Estat_1"
            end if;
        when Estat_1 =>          --Quan l'estat actual és Estat_1
            if Entrada_1='1' then --si s'activa l'"Entrada_1"
                EstatSeguent <= Estat_2; --l'estat següent serà "Estat_2"
            elsif Entrada_2='1' then --en canvi, si s'activa "Entrada_2"
                EstatSeguent <= Estat_3; --l'estat següent serà "Estat_3"
            end if;
        when Estat_2 =>          --Quan l'estat actual és Estat_2
            if Entrada_2='1' then --si s'activa l'"Entrada_2"
                EstatSeguent <= Estat_3; --l'estat següent serà "Estat_1"
            end if;
        when Estat_3 =>          --Quan l'estat actual és Estat_3
            if Entrada_3='1' then --si s'activa l'"Entrada_3"
                EstatSeguent <= Estat_1; --l'estat següent serà "Estat_1"
            end if;
        when others =>          -- Si l'estat no fos cap dels anteriors
            EstatSeguent <= Estat_Reset; --el següent estat seria
    end case;                    --directament: "Estat_Reset"

end process ASSIGNACIO_D_ESTAT_SEGUENT;

```





Amb aquesta breu introducció a l'estructura de les màquines d'estat que, alhora també ha servit com a presa en contacte amb el llenguatge VHDL, a continuació es presenta tot el codi implementat en el bloc de control, amb el qual es podrà entendre millor tots els diagrames de blocs de l'apartat 4.

#### **D.1.1. Nomenclatura seguida per a la definició de ports i senyals en el programa**

Per a distingir i diferenciar quin és el perifèric al qual pertanyen els ports d'entrada i sortida i per evitar repetir noms, s'han definit una sèrie de regles en forma de prefixos que donen resposta a aquesta necessitat. Així doncs, s'han definit la següent relació de prefixos segons el perifèric al qual pertanyi cada port, que segueixen la nomenclatura del nom del perifèric per tal de facilitar la seva identificació i memorització degut a què aniran apareixent durant tot el codi de programa:

- Generador de PWM: `pwm_`
- Convertidor analògic-digital (ADC): `adc_`
- Convertidor digital-analògic (DAC): `dac_`
- Filtre: `fil_`
- Comparador: `comp_`
- Control: `pid_`
- Unitat de sincronització: `master_`



## D.2. Codi de programa del bloc PWM (Pulse Width Modulation)

```

entity user_logic is
port (
    pwm_ENABLE      : in  std_logic;
    pwm_RESET       : in  std_logic;
    pwm_CLK         : in  std_logic;
    pwm_READY       : in  std_logic;

    pwm1_PWM_actiu  : in  std_logic;
    pwm1_DUTY       : in  std_logic_vector(9 downto 0);
    pwm1_PWM        : out std_logic;

    pwm2_PWM_actiu  : in  std_logic;
    pwm2_DUTY       : in  std_logic_vector(9 downto 0);
    pwm2_PWM        : out std_logic;

    pwm_PERIOD      : out std_logic);
end entity user_logic;

architecture IMP of user_logic is

    signal pwm_COMPTADOR      : std_logic_vector(9 downto 0);
    --comptador de pulsos, és el que fa de rellotge

    signal pwm1_DUTY_buff     : std_logic_vector(9 downto 0);
    --buffer on s'emmagatzemen les dades que es van arribant
    signal pwm1_DUTY_comp     : std_logic_vector(9 downto 0);
    --buffer on s'emmagatzema el valor del Duty Cicle que es compararà a
    continuació
    signal pwm1_PWM_actiu_buff : std_logic;
    --buffer on s'emmagatzema el valor de la propietat "actiu" dels valors de
    Duty Cicle que entren pel PWM1
    signal pwm1_PWM_actiu_comp : std_logic; --buffer on s'emmagatzema el
    següent valor de la propietat "actiu"
    signal pwm1_PWM_int        : std_logic; --sortida de PWM1 del comp.

    signal pwm2_DUTY_buff     : std_logic_vector(9 downto 0);
    signal pwm2_DUTY_comp     : std_logic_vector(9 downto 0);
    signal pwm2_PWM_actiu_buff : std_logic;
    signal pwm2_PWM_actiu_comp : std_logic;
    signal pwm2_PWM_int        : std_logic; --sortida de PWM2 del comp.

    signal pwm1_DBCOMPT      : std_logic_vector(9 downto 0);
    --comptador de 6 bits que hi ha al generador de temps morts
    signal pwm1_DBPOLS       : std_logic;
    signal pwm2_DBCOMPT      : std_logic_vector(9 downto 0);
    --comptador de 6 bits que hi ha al generador de temps morts
    signal pwm2_DBPOLS       : std_logic;

    signal pwm_CNTR_APP_compt_meitat : std_logic_vector(9 downto 0);

begin

    COMPTADOR : process (pwm_CLK)
        begin

```



```

    if (pwm_CLK'event and pwm_CLK='1') then --en el flanc de pujada
del CLOCK
        if (pwm_RESET='1' or pwm_ENABLE='0') then --si hi ha senyal de
RESET (active LOW) es posa el comptador a zero i no s'augmenta el
comptador
            pwm_COMPTADOR <= (others => '0');
        else
            if (pwm_COMPTADOR < "1111101000") then --si comptador
"pujant" i menor que el valor de "period"(=4096) => s'augmenta el
comptador
                pwm_COMPTADOR<=pwm_COMPTADOR + 1;
            elsif (pwm_COMPTADOR = "1111101000") then
                pwm_COMPTADOR <= (others => '0');
            end if;
        end if;
    end if; --comprova RESET
    end if; --CLK en flanc de pujada
end process COMPTADOR;

```

```

APLICACIONS_COMPTADOR : process (pwm_CLK)
begin
    if (pwm_CLK'event and pwm_CLK='1') then

        if pwm_COMPTADOR = "1111101000" then
            pwm1_DUTY_comp <= pwm1_DUTY_buff; --Actualitza el valor del
duty cycle al final del comptador
            pwm2_DUTY_comp <= pwm2_DUTY_buff; -- Es fa aquí per evitar
posar un IF _ THEN _ ELSE més als processos COMPARADOR_PWM1 i
COMPARADOR_PWM2
            pwm1_PWM_actiu_comp <= pwm1_PWM_actiu_buff;
            pwm2_PWM_actiu_comp <= pwm2_PWM_actiu_buff;

            if (pwm1_PWM_actiu_comp = '1' and pwm2_PWM_actiu_comp='0') then
                pwm_CNTR_APP_compt_meitat <= '0' & pwm1_DUTY_comp(9 downto 1);
            elsif (pwm1_PWM_actiu_comp = '0' and pwm2_PWM_actiu_comp='1') then
                pwm_CNTR_APP_compt_meitat <= '0' & pwm2_DUTY_comp(9 downto 1);
            else
                pwm_CNTR_APP_compt_meitat <= (others => '0');
            end if;
        end if;
    end if;
end process APLICACIONS_COMPTADOR;

```

```

--actualitza el valor del duty cycle només en el cas que s'estigui al
PERIOD o a l'UNDERFLOW
--aquests dos punts es detecten ja que és on la variable pwm_UPDOWN
canvia de 0 a 1 i viceversa
--així, doncs, aquesta variable és la que estarà a la llista de
sensibilitat del procés

```

```

ACTUALITZA_PWM_DUTY_CICLE : process (pwm_READY, pwm_RESET, pwm_ENABLE)
begin
    if (pwm_READY'event and pwm_READY='1') then
--guarda el nou valor del Duty Cycle però no té en compte en quin moment
s'actualitza el valor en el comptador
        pwm1_DUTY_buff <= pwm1_DUTY;
        pwm1_PWM_actiu_buff <= pwm1_PWM_actiu;
        pwm2_DUTY_buff <= pwm2_DUTY;
        pwm2_PWM_actiu_buff <= pwm2_PWM_actiu;
    end if;
end process

```



```

end if;

if (pwm_RESET='1' or pwm_ENABLE='0') then
    pwm1_DUTY_buff <= (others => '0');
    pwm1_PWM_actiu_buff <= '0';
    pwm2_DUTY_buff <= (others => '0');
    pwm2_PWM_actiu_buff <= '0';
end if;
end process ACTUALITZA_PWM_DUTY_CICLE;

--compara el valor del comptador amb el valor del COMPARE. Al programar i
configurar, l'usuari caldrà que escali i adequi els rangs d'aquestes dues
variables.
COMPARADOR_PWM1 : process (pwm_CLK)
begin
    if pwm1_PWM_actiu_comp='1' then
-- Només hi pot haver un MOSFET tancat, per tant, per evitar curtcircuits
i assegurar que no es produeix cap error en la transmissió de les dades
-- es comprova que el valor del duty cycle sigui diferent de zero amb
l'entrada externa que indica si aquest MOSFET està actiu o no: càrrega o
descàrrega si el valor del DUTY CICLE és major o igual que el del
COMPARE, posa la sortida pwm_OUT a 1 i viceversa
        if pwm1_DUTY_comp >= pwm_COMPTADOR then
            pwm1_PWM_int <= '1';
        else
            pwm1_PWM_int <= '0';
        end if;
    else
        pwm1_PWM_int <= '0';
    end if;
end process COMPARADOR_PWM1;

COMPARADOR_PWM2 : process (pwm_CLK)
begin
    if pwm2_PWM_actiu_comp='1' then
-- Només hi pot haver un MOSFET tancat, per tant, per evitar curtcircuits
i assegurar que no es produeix cap error en la transmissió de les dades
-- es comprova que el valor del duty cycle sigui diferent de zero amb
l'entrada externa que indica si aquest MOSFET està actiu o no: càrrega o
descàrrega si el valor del DUTY CICLE és major o igual que el del
COMPARE, posa la sortida pwm_OUT a 1 i viceversa
        if pwm2_DUTY_comp >= pwm_COMPTADOR then
            pwm2_PWM_int <= '1';
        else
            pwm2_PWM_int <= '0';
        end if;
    else
        pwm2_PWM_int <= '0';
    end if;
end process COMPARADOR_PWM2;

PWM1_POLS_TEMPS_MORTS : process (pwm1_PWM_int, pwm_CLK)
begin
    if (pwm1_PWM_int'event and pwm1_PWM_int='0') then --quan hi ha
flanc de baixada en el PWM1
        pwm1_DBPOLS <= '1'; --l'indicador de temps morts pel PWM1 es
posa a 1

```



```

        pwm1_DBCOMPT <= pwm_COMPTADOR + "0000001111"; --i es diu a quin
instant s'ha de posar a zero ("00A" són 10 clocks = 100ns)
    end if;

    if (pwm_COMPTADOR = pwm1_DBCOMPT) then --quan el comptador ha
arribat al nombre indicat,
        pwm1_DBPOLS <= '0'; --es torna a posar l'indicador de temps
morts pel PWM1 a zero
    end if;
end process PWM1_POLS_TEMPS_MORTS;

PWM2_POLS_TEMPS_MORTS : process (pwm2_PWM_int, pwm_CLK)
begin
    if (pwm2_PWM_int'event and pwm2_PWM_int='0') then --quan hi ha
flanc de baixada en el PWM2
        pwm2_DBPOLS <= '1'; --l'indicador de temps morts pel PWM2 es
posa a 1
        pwm2_DBCOMPT <= pwm_COMPTADOR + "0000001111"; --i es diu a
quin instant s'ha de posar a zero ("00A" són 10 clocks = 100ns)
    end if;

    if (pwm_COMPTADOR = pwm2_DBCOMPT) then --quan el comptador ha
arribat al nombre indicat,
        pwm2_DBPOLS <= '0'; --es torna a posar l'indicador de temps
morts pel PWM2 a zero
    end if;
end process PWM2_POLS_TEMPS_MORTS;

SORTIDA_PWMs : process (pwm_CLK)
begin
    if (pwm_RESET='0' or pwm_ENABLE='1') then --si no hi ha RESET
        if pwm1_PWM_actiu_comp='1' and pwm2_PWM_actiu_comp='0' then
--només està actiu el PWM1
            pwm1_PWM <= pwm1_PWM_int and not pwm2_DBPOLS;
            pwm2_PWM <= '0';
        elsif pwm1_PWM_actiu_comp='0' and pwm2_PWM_actiu_comp='1' then
            pwm1_PWM <= '0';
            pwm2_PWM <= pwm2_PWM_int and not pwm1_DBPOLS;
        elsif (pwm_RESET='1' or pwm_ENABLE='0') then
            pwm1_PWM <= '0';
            pwm2_PWM <= '0';
        else -- (els dos a 0 o els dos a 1, així s'assegura que
només hi ha una sortida de PWM activa)
            pwm1_PWM <= '0';
            pwm2_PWM <= '0';
        end if;
    else
        pwm1_PWM <= '0';
        pwm2_PWM <= '0';
    end if;

    pwm_PERIOD <= pwm1_DBPOLS or pwm2_DBPOLS;
end process SORTIDA_PWMs;

end IMP;

```



### D.3. Codi de programa del bloc ADC: Convertidor analògic-digital de 16 bits en paral·lel

```

entity user_logic is
  port(
    adc_ENABLE    : in    std_logic;
    adc_CLK       : in    std_logic;    --rellotge d'entrada a 100MHz
    adc_RESET     : in    std_logic;    --adc_RESET=1 -> no hi ha reset;
    adc_RESET=0 -> es fa el reset
    adc_DATARDY   : out   std_logic;    --a 1 indica que les dades estan
    preparades per ser llegides
    adc_DBOUT     : out   std_logic_vector(15 downto 0);    --dades llegides
    en l'ADS8401: si adc_DATARDY=1 dóna el valor llegit; si adc_DATARDY=0
    dóna tot zeros

    -- Ports d'entrada i sortida per al control del ADS8401
    adc_nRD       : out   std_logic;
    adc_nCONVST   : out   std_logic;
    adc_nCS       : out   std_logic;
    adc_nRESET    : out   std_logic;
    adc_BYTE      : out   std_logic;
    adc_BUSY      : in    std_logic;
    adc_DB        : in    std_logic_vector(15 downto 0));    --dades en
    paral·lel llegides directament de l'ADS8401 i mostrades a 1MHz

  end entity user_logic;

architecture IMP of user_logic is
  -- Declaració de tipus i de senyals per a la màquina d'estats
  type tESTAT is (st0_Inicial, st1_Conv, st2_Conv2, st3_Espera,
    st4_Aquisicio, st5_Llegir, st6_Final);
  signal Estat, SeguentE : tESTAT;

  signal adc_READEN    : std_logic;    --senyal que estant a 1 indica que
  es pot procedir a la lectura dels valor obtingut
  signal adc_TIME      : std_logic_vector(6 downto 0);    --comptador del
  temps transcorregut

begin
  COMPTADOR : process (adc_CLK) --rellotge a 100MHz => T=10ns => per
  aconseguir 1000ns (1MHz) cal comptar fins a 100.
  begin
    if adc_CLK='1' and adc_CLK'event then
      if (adc_RESET='1' or adc_ENABLE='0') then
        adc_TIME <= (others => '0');
      else
        if (adc_TIME < b"1100011") then -- <99
          adc_TIME <= adc_TIME + 1;
        elsif (adc_TIME= b"1100011") then -- reiniciar el comptador
          quan s'arribi a 100 clocks (=99)
            adc_TIME <= (others => '0');
          end if; --reinicia el comptador a 0
        end if; --comprova reset i enable
      end if; --flanc de pujada del clock
    end process COMPTADOR;

    -- MÀQUINA D'ESTATS DEL DIAGRAMA TEMPORAL DE L'ADS8401
    SYNC_PROC: process (adc_CLK)
      begin

```



```

    if (adc_CLK'event and adc_CLK = '1') then
        if (adc_RESET = '1' or adc_ENABLE='0') then
            Estat <= st0_Inicial;
        else
            Estat <= SeguentE;
        end if;
    end if;
end process;

--MOORE State Machine - Outputs based on state only
OUTPUT_DECODE: process (Estat)
begin
    if Estat = st0_Inicial then
        adc_nCS<='1';
        adc_nCONVST<='1';
        adc_nRD<='1';
        adc_READEN<='0';
        adc_nRESET<='0';
    elsif Estat = st1_Conv then
        adc_nCS<='0';
        adc_nCONVST<='0';
        adc_nRD<='1';
        adc_READEN<='0';
        adc_nRESET<='1';
    elsif Estat = st2_Conv2 then
        adc_nCS<='1';
        adc_nCONVST<='1';
        adc_nRD<='1';
        adc_READEN<='0';
        adc_nRESET<='1';
    elsif Estat = st3_Espera then
        adc_nCS<='1';
        adc_nCONVST<='1';
        adc_nRD<='1';
        adc_READEN<='0';
        adc_nRESET<='1';
    elsif Estat = st4_Adquisicio then
        adc_nCS<='0';
        adc_nCONVST<='1';
        adc_nRD<='0';
        adc_READEN<='0';
        adc_nRESET<='1';
    elsif Estat = st5_Llegir then
        adc_nCS<='0';
        adc_nCONVST<='1';
        adc_nRD<='0';
        adc_READEN<='1';
        adc_nRESET<='1';
    elsif Estat = st6_Final then
        adc_nCS<='1';
        adc_nCONVST<='1';
        adc_nRD<='1';
        adc_READEN<='0';
        adc_nRESET<='1';
    end if;
end process;

NEXT_STATE_DECODE: process (adc_TIME, Estat, adc_BUSY)
begin

```



```

SeguentE <= Estat;  --default is to stay in current state

case (Estat) is
  when st0_Inicial =>
    if adc_TIME = b"00000000" then
      SeguentE <= st1_Conv;
    end if;
  when st1_Conv =>
    if adc_TIME = b"0001111" then  --15
      SeguentE <= st2_Conv2;
    end if;
  when st2_Conv2 =>
    if adc_BUSY = '0' then  --en passar a zero la sortida BUSY
de l'ADS8401
      SeguentE <= st3_Espera;
    end if;
  when st3_Espera =>
    if adc_TIME = b"1000110" then --70
      SeguentE <= st4_Adquisicio;
    end if;
  when st4_Adquisicio =>
    if adc_TIME = b"1010000" then --80
      SeguentE <= st5_Llegir;
    end if;
  when st5_Llegir =>
    if adc_TIME = b"1010101" then --85
      SeguentE <= st6_Final;
    end if;
  when st6_Final =>
    if adc_TIME = b"1100011" then --99
      SeguentE <= st1_Conv;
    end if;
end case;
end process;
-- FI DE LA MÀQUINA D'ESTATS

CONVERSOR_FORMAT : process (adc_READEN) --indica quan les dades estan
preparades per "sortir" i les treu en el tipus concret
begin
  if (adc_READEN='1') then
    adc_DATARDY <= '1';
    adc_DBOUT(15 downto 0) <= adc_DB(15 downto 0); --en l'ADC el 15
és el MSB i el 0 el LSB
  else
    adc_DATARDY <= '0';
  end if;
end process CONVERSOR_FORMAT;

adc_BYTE<='0';  -- sempre 0 perquè es llegeixen els 16 bits alhora

end IMP;

```





## D.4. Codi de programa del bloc DAC: Convertidor digital-analògic de 12 bits i quatre canals

```
entity user_logic is

port(
    dac_ENABLE      : in  std_logic;
    dac_CLK         : in  std_logic;
    dac_RESET       : in  std_logic;
    dac_DATA_A      : in  std_logic_vector(15 downto 0);
    dac_DATA_Ardy   : in  std_logic;
    dac_DATA_B      : in  std_logic_vector(15 downto 0);
    dac_DATA_Brdy   : in  std_logic;
    dac_DATA_C      : in  std_logic_vector(15 downto 0);
    dac_DATA_Crdy   : in  std_logic;
    dac_DATA_D      : in  std_logic_vector(15 downto 0);
    dac_DATA_Drdy   : in  std_logic;

    dac_nCS         : out  std_logic;
    dac_SCLK        : out  std_logic;
    dac_DIN         : out  std_logic;
    dac_FS          : out  std_logic);
end entity user_logic;

architecture IMP of user_logic is
    type tESTAT is (st0_Inicial, stA1_EsperaA, stA2_EnviaA, stB1_EsperaB,
stB2_EnviaB, stC1_EsperaC, stC2_EnviaC, stD1_EsperaD, stD2_EnviaD,
stEnviaTOT);
    signal Estat, SeguentE : tESTAT;
    type tENTRADA_ACT is (e_A, e_B, e_C, e_D);
    signal Ent_Actual : tENTRADA_ACT;

    signal DATA_enviar_A : std_logic_vector(15 downto 0);
    signal DATA_enviar_B : std_logic_vector(15 downto 0);
    signal DATA_enviar_C : std_logic_vector(15 downto 0);
    signal DATA_enviar_D : std_logic_vector(15 downto 0);
    signal enviant_A      : std_logic;
    signal enviant_B      : std_logic;
    signal enviant_C      : std_logic;
    signal enviant_D      : std_logic;

    signal envia_A        : std_logic;
    signal envia_B        : std_logic;
    signal envia_C        : std_logic;
    signal envia_D        : std_logic;

    signal TEMPS0_20      : std_logic_vector(4 downto 0);
    signal BITS20_0       : integer range 0 to 20 := 20;
    signal CLK_3count     : std_logic_vector(1 downto 0);
    signal CLK_16_6MHz    : std_logic;

begin

CLOCK_16_6MHz : process (dac_CLK) -- Entra dac_CLK a 100MHz i surt
CLK_16_6MHz, fent que cada 3 dac_CLKs canviï d'estat la variable
CLK_13_6MHz
begin
    if dac_CLK'event and dac_CLK='1' then
```



```

        if CLK_3count < "10" then --si el "sub"comptador és menor que
"10" sempre s'augmenta
            CLK_3count <= CLK_3count + 1;
        elsif CLK_3count = "10" and CLK_16_6MHz='1' then -- depenent
de si quan el clock a 16.6MHz és '1' o '0',
            CLK_3count <= "00"; -- es reinicia el "sub"comptador
            CLK_16_6MHz<='0'; -- la sortida passa d' '1' a '0'
        elsif CLK_3count = "10" and CLK_16_6MHz='0' then
            CLK_3count <= "00";
            CLK_16_6MHz<='1'; -- la sortida passa de '0' a '1'
        end if;
    end if; --sincronisme amb el clock
end process CLOCK_16_6MHz;

COMPTADOR0_20 : process (CLK_16_6MHz) -- El comptador és de 20 clocks: 1
per l'espera (FS=1) i 16 per la transmissió de dades
begin
    if (CLK_16_6MHz='1' and CLK_16_6MHz'event) then -- el comptador
va pujant fins als 5bits
        if TEMPS0_20 < "10100" then
            TEMPS0_20 <= TEMPS0_20 +1; -- Comptador endavant d'una
variable binària per a sincronitzar la màquina d'estats
            BITS20_0 <= BITS20_0 - 1; -- Comptador enrera d'un enter de
20 a 0 per anar canviant adequadament l'índex de la variable que conté la
dada a enviar per SPI
        elsif TEMPS0_20 = "10100" then
            TEMPS0_20 <= "00000";
            BITS20_0 <= 20;
        end if;
    end if; -- comptador de 20 a 0 per a l'assignació de bits a DIN
end process COMPTADOR0_20;

IDENTIFICA_ENTRADES_ACTIVES : process (dac_DATA_Ardy, dac_DATA_Brdy,
dac_DATA_Crdy, dac_DATA_Drdy, Estat)
begin
    -- quan s'activi algun senyal de "data ready" es mira tots aquests
condicionals
    -- a més, no deixa actualitzar el valor a enviar si en aquest moment
s'està enviant el valor que hi ha guardat
    if (dac_DATA_Ardy='1' and enviant_A='0') then
        DATA_enviar_A <= "0001" & dac_DATA_A(15 downto 4);
        envia_A <= '1';
    end if;

    if (dac_DATA_Brdy='1' and enviant_B='0') then
        DATA_enviar_B <= "0101" & dac_DATA_B(15 downto 4);
        envia_B <= '1';
    end if;

    if (dac_DATA_Crdy='1' and enviant_C='0') then
        DATA_enviar_C <= "1001" & dac_DATA_C(15 downto 4);
        envia_C <= '1';
    end if;

    if (dac_DATA_Drdy='1' and enviant_D='0') then
        DATA_enviar_D <= "1101" & dac_DATA_D(15 downto 4);
        envia_D <= '1';
    end if;

```



```

-- Posa a 0 els valors de les variables que indiquen que s'ha actualitzat
el valor.
-- Es fa en els estats d'espera perquè és on ja està decidit quin serà el
següent valor a enviar.
    if Estat=stA1_EsperaA then
        envia_A <= '0';
    elsif Estat=stB1_EsperaB then
        envia_B <= '0';
    elsif Estat=stC1_EsperaC then
        envia_C <= '0';
    elsif Estat=stD1_EsperaD then
        envia_D <= '0';
    end if;
end process IDENTIFICA_ENTRADES_ACTIVES;

-- ===== MÀQUINA D'ESTATS DEL DAC TLV5614 =====
SYNC_PROC: process (CLK_16_6MHz) --dac_CLK)
begin
    if (dac_CLK'event and dac_CLK = '1') then
        if (dac_RESET = '1' or dac_ENABLE='0') then
            Estat <= st0_Inicial;
        else
            Estat <= SeguentE;
        end if;
    end if;
end process SYNC_PROC;

--MOORE State Machine - Outputs based on state only
OUTPUT_DECODE: process (CLK_16_6MHz)
begin
    if Estat = st0_Inicial then
        dac_nCS <= '1';
        dac_FS <= '1';
        dac_DIN <= '0';
        enviant_A<='0';
        enviant_B<='0';
        enviant_C<='0';
        enviant_D<='0';

        elsif Estat = stA1_EsperaA then -- SORTIDA A
            dac_nCS<='0';
            dac_FS<='1';
            dac_DIN <= '0';
            enviant_A<='0'; -- Es posen a zero totes les variables que
indiquen que s'està enviant.
            enviant_B<='0'; -- No sabem de quina estat es prové, per això
es fa per les 4 possibilitats
            enviant_C<='0';
            enviant_D<='0';

            elsif Estat = stA2_EnviaA then
                dac_nCS<='0';
                dac_FS<='0';
                enviant_A <= '1'; -- Indica que s'està enviant la dada A
                dac_DIN <= DATA_enviar_A(BITS20_0); -- Per cada clock, la
variable BITS20_0 va disminuint i així s'envien les dades al port dac_DIN
per SPI.
            elsif Estat = stB1_EsperaB then -- SORTIDA B

```



```

    dac_nCS<='0';
    dac_FS<='1';
    dac_DIN <= '0';
    enviant_A<='0';
    enviant_B<='0';
    enviant_C<='0';
    enviant_D<='0';

    elsif Estat = stB2_EnviaB then
        dac_nCS<='0';
        dac_FS<='0';
        enviant_B <= '1';
        dac_DIN <= DATA_enviar_B(BITS20_0);

    elsif Estat = stC1_EsperaC then          -- SORTIDA C
        dac_nCS<='0';
        dac_FS<='1';
        dac_DIN <= '0';
        enviant_A<='0';
        enviant_B<='0';
        enviant_C<='0';
        enviant_D<='0';

    elsif Estat = stC2_EnviaC then
        dac_nCS<='0';
        dac_FS<='0';
        enviant_C <= '1';
        dac_DIN <= DATA_enviar_C(BITS20_0);

    elsif Estat = stD1_EsperaD then          -- SORTIDA D
        dac_nCS<='0';
        dac_FS<='1';
        dac_DIN <= '0';

        enviant_A<='0';
        enviant_B<='0';
        enviant_C<='0';
        enviant_D<='0';

    elsif Estat = stD2_EnviaD then
        dac_nCS<='0';
        dac_FS<='0';
        enviant_D <= '1';
        dac_DIN <= DATA_enviar_D(BITS20_0);
    end if;
end process OUTPUT_DECODE;

NEXT_STATE_DECODE: process (Estat, CLK_16_6MHz)
begin

    SeguentE <= Estat;  --default is to stay in current state

    case (Estat) is
        when st0_Inicial =>
            if TEMPS0_20 = "10100" then
                if envia_A='1' then  -- la prioritat és per la Dada A
                    SeguentE <= stA1_EsperaA;
                elsif envia_B='1' then
                    SeguentE <= stB1_EsperaB;

```



```

        elsif envia_C='1' then
            SeguentE <= stC1_EsperaC;
        elsif envia_D='1' then
            SeguentE <= stD1_EsperaD;
        end if;
    end if;

when stA1_EsperaA =>    -- DADA A
    if TEMPS0_20 = "00101" then    --5 clocks
        SeguentE <= stA2_EnviaA;
    end if;

when stA2_EnviaA =>
    if TEMPS0_20 = "00000" then
        if envia_B='1' then    -- + Prioritat pel canal següent i
menys pel canal per on ja s'acaba d'enviar
            SeguentE <= stB1_EsperaB;
        elsif envia_C='1' then
            SeguentE <= stC1_EsperaC;
        elsif envia_D='1' then
            SeguentE <= stD1_EsperaD;
        elsif envia_A='1' then
            SeguentE <= stA1_EsperaA;
        end if;
    end if;
when stB1_EsperaB =>    -- DADA B
    if TEMPS0_20 = "00101" then
        SeguentE <= stB2_EnviaB;
    end if;

when stB2_EnviaB =>
    if TEMPS0_20 = "00000" then
        if envia_C='1' then
            SeguentE <= stC1_EsperaC;
        elsif envia_D='1' then
            SeguentE <= stD1_EsperaD;
        elsif envia_A='1' then
            SeguentE <= stA1_EsperaA;
        elsif envia_B='1' then
            SeguentE <= stB1_EsperaB;
        end if;
    end if;

when stC1_EsperaC =>    -- DADA C
    if TEMPS0_20 = "00101" then
        SeguentE <= stC2_EnviaC;
    end if;

when stC2_EnviaC =>
    if TEMPS0_20 = "00000" then
        if envia_D='1' then
            SeguentE <= stD1_EsperaD;
        elsif envia_A='1' then
            SeguentE <= stA1_EsperaA;
        elsif envia_B='1' then
            SeguentE <= stB1_EsperaB;
        elsif envia_C='1' then
            SeguentE <= stC1_EsperaC;
        end if;
    end if;
end if;

```



```

when stD1_EsperaD =>                                -- DADA D
    if TEMPS0_20 = "00101" then
        SeguentE <= stD2_EnviaD;
    end if;

when stD2_EnviaD =>
    if TEMPS0_20 = "00000" then
        if envia_A='1' then
            SeguentE <= stA1_EsperaA;
        elsif envia_B='1' then
            SeguentE <= stB1_EsperaB;
        elsif envia_C='1' then
            SeguentE <= stC1_EsperaC;
        elsif envia_D='1' then
            SeguentE <= stD1_EsperaD;
        end if;
    end if;

    when others =>
        SeguentE <= st0_Inicial;
    end case;
end process;

dac_SCLK <= CLK_16_6MHz;

end IMP;

```



## D.5. Codi de programa del bloc del Fltre de dades

```

entity user_logic is
  port(
    fil_DATAIN : in  STD_LOGIC_VECTOR (15 downto 0);
    fil_CLK : in  STD_LOGIC;
    fil_RESET : in  STD_LOGIC;
    fil_DATAOUT : out STD_LOGIC_VECTOR (15 downto 0) := (others => 0);
    fil_READEN : in  STD_LOGIC);
end entity user_logic;

architecture IMP of user_logic is
  signal fil_valor_llegit : STD_LOGIC_VECTOR(15 downto 0);
  signal fil_suma : STD_LOGIC_VECTOR(19 downto 0);
  signal fil_comptador : STD_LOGIC_VECTOR(3 downto 0);
  signal fil_comptador_ant : STD_LOGIC_VECTOR(3 downto 0);

begin
  CAPTURA_VALOR : process (fil_READEN) --és un procés asíncron, només per a
    l'adquisició de dades
  begin
    if fil_READEN'event and fil_READEN='1' then
      if fil_RESET = '0' then
        fil_valor_llegit <= fil_DATAIN;
        if fil_comptador < "1001" then --es llegiran 10 valors tot i
que només se'n tinguin en compte 8
          fil_comptador <= fil_comptador + '1';--s'incrementa el
comptador
        else
          fil_comptador <= (others => '0');
        end if;
      else
        fil_comptador <= (others => '0');
      end if; --reset inactiu
    end if; --flanc de pujada de READEN
  end process CAPTURA_VALOR;

  MITJANA : process (fil_CLK) --es treballa en un procés síncron
  begin
    if fil_CLK'event and fil_CLK='1' then
      if fil_RESET='0' then
        if fil_comptador /= fil_comptador_ant then --si el comptador
ha augmentat (s'ha fet una lectura més)
          if (fil_comptador = "0000") then -- en cas que sigui
la primera lectura, aquesta no s'agafa (possible pic)
            fil_suma <= (others => '0'); -- el primer valor no
s'agafa, s'aprofita per resetejar el sumador
          elsif ((fil_comptador > "0000") and (fil_comptador <
"1000")) then
            fil_suma <= fil_suma + ("0000" & fil_valor_llegit);
--les següents lectures es sumen a la mateixa variable
          elsif (fil_comptador = "1000") then --l'últim valor no
s'agafa (per tenir 8 mesures i poder fer la mitjana amb un nº de mostres
que sigui potència de 2)
            fil_DATAOUT <= fil_suma(18 downto 3); -- el valor de
sortida és un "shiftat" de 3 bits de la suma perquè així es divideix per
8 i dóna la mitjana dels vuit valors.

```



```
-- no cal que faci res quan (fil_comptador = "1001"), no es té en compte
l'últim valor mira el valor
    end if;
    fil_comptador_ant <= fil_comptador;
end if;    --ha variat el comptador
else
    fil_DATAOUT <= (others => '0');
    fil_suma <= (others => '0');
end if;
end if;    --sincronisme
end process MITJANA;

end IMP;
```





## D.6. Codi de programa del bloc Comparador

```
entity user_logic is
  port(
    comp_positiu : in  STD_LOGIC_VECTOR (15 downto 0);
    comp_negatiu : in  STD_LOGIC_VECTOR (15 downto 0);
    comp_CLK : in  STD_LOGIC;
    comp_error : out STD_LOGIC_VECTOR (15 downto 0);
    comp_signe : out  STD_LOGIC);      -- 0=error per excés (+); 1=error
per defecte (-)
end entity user_logic;

architecture IMP of user_logic is
begin

  COMPARA : process (comp_CLK)
  begin
    if comp_clk'event and comp_clk='1' then
      if comp_positiu > comp_negatiu then
        comp_error <= comp_positiu - comp_negatiu;
        comp_signe <= '0'; -- +
      elsif comp_positiu < comp_negatiu then
        comp_error <= comp_negatiu - comp_positiu;
        comp_signe <= '1'; -- -
      else
        comp_error <= (others => '0');
        comp_signe <= '0'; -- +
      end if;
    end if;
  end process COMPARA;

end IMP;
```



## D.7. Codi de programa del bloc de Control

```

Library UNISIM;
use UNISIM.vcomponents.all;

entity user_logic is
  port(
    pid_RESET : in  STD_LOGIC;
    pid_CLK : in  STD_LOGIC;
    pid_Kp : in  STD_LOGIC_VECTOR (9 downto 0);
    pid_error : in  STD_LOGIC_VECTOR (15 downto 0);
    pid_signe : in  STD_LOGIC;
    pid_READY : out  STD_LOGIC;
    pid_pwm1_duty : out  STD_LOGIC_VECTOR (9 downto 0);
    pid_pwm1_actiu : out  STD_LOGIC := '0';
    pid_pwm2_duty : out  STD_LOGIC_VECTOR (9 downto 0);
    pid_pwm2_actiu : out  STD_LOGIC := '0');
end entity user_logic;

architecture IMP of user_logic is

  signal pid_comptador : STD_LOGIC_VECTOR(3 downto 0);
  signal pid_reset_multip : STD_LOGIC := '1';
  signal pid_error_factor : STD_LOGIC_VECTOR(17 downto 0);
  signal pid_Kp_factor : STD_LOGIC_VECTOR(17 downto 0);
  signal pid_producte : STD_LOGIC_VECTOR(35 downto 0);
  signal pid_clock_enable : STD_LOGIC := '1';

begin
  -- MULT18X18S: 18 x 18 signed synchronous multiplier
  --           Virtex-II/II-Pro, Spartan-3
  -- Xilinx HDL Language Template version 8.2.2i

  MULT18X18S_inst : MULT18X18S
  port map (
    P => pid_producte,      -- 36-bit multiplier output
    A => pid_error_factor,   -- 18-bit multiplier input
    B => pid_Kp_factor,      -- 18-bit multiplier input
    C => pid_CLK,            -- Clock input
    CE => pid_clock_enable,  -- Clock enable input
    R => pid_reset_multip    -- Synchronous reset input
  );
  -- End of MULT18X18S_inst instantiation

  COMPTADOR : process (pid_CLK)
  begin
    if pid_CLK='1' and pid_CLK'event then
      if pid_RESET='1' then
        pid_comptador <= (others => '0');
      else
        if pid_comptador < "1010" then
          pid_comptador <= pid_comptador + 1;
        end if;
      end if;
    end if;
  end process;

  MULTIPLICACIO : process (pid_CLK)

```



```

begin
  if pid_CLK'event and pid_CLK='1' then
    if pid_comptador = "0000" then
      pid_pwm1_duty <= (others => '0');
      pid_pwm1_actiu <= '0';
      pid_pwm2_duty <= (others => '0');
      pid_pwm2_actiu <= '0';
      pid_READY <= '0';    -- posa l'indicador de "multiplicació
finalitzada" a 0

      elsif pid_comptador = "0011" then    --als tres clocks d'haver posat
el reset a '0'
        pid_error_factor <= "00" & pid_error;    --es llegeix el valor de
la constant
        pid_Kp_factor <= "00000000" & pid_Kp;    --es llegeix el valor de
l'error
        pid_reset_multip <= '0';    --es posa a zero el reset del
multiplicador

        elsif (pid_comptador = "0110") then    --al cap de 3 clocks (es
processen les sortides amb el resultat
--- GESTIO SORTIDES ---
          if pid_producte /= X"000000000" then
            if pid_signe = '0' then
              pid_pwm1_duty <= pid_producte(25 downto 16);
              pid_pwm1_actiu <= '1';
              pid_pwm2_duty <= (others => '0');
              pid_pwm2_actiu <= '0';
            else
              pid_pwm1_duty <= (others => '0');
              pid_pwm1_actiu <= '0';
              pid_pwm2_duty <= pid_producte(25 downto 16);
              pid_pwm2_actiu <= '1';
            end if;
          else    --si el resultat de la multiplicació (pwm_producte) és
igual a zero
            pid_pwm1_actiu <= '0';
            pid_pwm2_actiu <= '0';
          end if;    --la multiplicació és o no zero

          elsif pid_comptador >= "1010" then
            pid_reset_multip <= '1';
            pid_READY <= '1';    --avisa (al PWM) de que el valor ja
es pot llegir (indicador de "multiplicació finalitzada")
          end if;
        end if;
      end process MULTIPLICACIO;

    end IMP;

```



## D.8. Codi de programa del bloc de la Unitat de sincronització i control del procés

```

entity user_logic is
port(
    piga_on_off      : in  STD_LOGIC;
    piga_CLK         : in  STD_LOGIC;
    master_CON_RST   : out STD_LOGIC;
    master_ADC_V_EN  : out STD_LOGIC;
    master_ADC_V_RST : out STD_LOGIC;
    master_ADC_I_EN  : out STD_LOGIC;
    master_ADC_I_RST : out STD_LOGIC;
    master_DAC_EN    : out STD_LOGIC;
    master_DAC_RST   : out STD_LOGIC;
    master_PID_RST   : out STD_LOGIC;
    master_PID_READY  : in  STD_LOGIC;
    master_PWM_EN    : out STD_LOGIC;
    master_PWM_RST   : out STD_LOGIC;
    master_PWM_READY : out STD_LOGIC;
    master_FIL_RST   : out STD_LOGIC);
end entity user_logic;

architecture IMP of user_logic is

    type T_maquina_estats is (st0_REPOS, st1_ACTIVACIO, st2_PID_ON,
st3_PWM_DUTY,st4_RESET);
    signal Estat, Estat_seg : T_maquina_estats := st0_REPOS;

    signal mtr_comptador      : STD_LOGIC_VECTOR (9 downto 0);

begin

COMPTADOR_100kHz : process (piga_CLK)
begin
    if piga_CLK='1' and piga_CLK'event then
        if piga_on_off='0' then
            mtr_comptador <= (others => '0');
        else
            if (mtr_comptador < "1111101000") then --si comptador "pujant"
i menor que el valor de "period"(=4096) => s'augmenta el comptador
                mtr_comptador<=mtr_comptador + 1;
            elsif (mtr_comptador = "1111101000") then
                mtr_comptador <= (others => '0');
            end if;
        end if;
    end if;
end process COMPTADOR_100kHz;

SYNC_PROC: process (piga_CLK)
begin
    if (piga_CLK'event and piga_CLK = '1') then
        if (piga_on_off = '0') then
            Estat <= st0_REPOS;
        else
            Estat <= Estat_seg;
        end if;
    end if;
end process;

```



```

OUTPUT_DECODE: process (Estat)
begin

-- Estat de repòs o de reset. S'hi arriba quan el sistema està "apagat"
-- (piga_on_off='0') i es des d'on es parteix quan s'engega la bancada

    if Estat = st0_REPOS then
        master_CON_RST<='1';      --CONSIG    desactivat
        master_ADC_V_RST<='1';    --ADC_V      desactivat
        master_ADC_I_RST<='1';    --ADC_I      desactivat
        master_DAC_RST<='1';      --DAC        desactivat
        master_PID_RST<='1';      --PID        desactivat
        master_PWM_RST<='1';      --PWM        desactivat
        master_PWM_READY<='0';    --PWM        NO hi ha valor d'entrada
        master_FIL_RST<='1';      --FILTRE    desactivat
    end if;

-- INCI DEL PROCÉS: s'activen els perifèrics necessaris
-- 0) (CLK000) es treu de l'estat de reset els següents perifèrics:
-- Lectures ADC, DAC, PID, PWM i FILTRE
-- Si es parteix de l'estat de repòs, s'activen tots, però si es ve de
-- l'estat st4_RESET només canvia l'estat de Lectures ADC, PID i FILTRE

    if Estat = st1_ACTIVACIO then
        master_CON_RST<='0';      --CONSIG    *activada
        master_ADC_V_RST<='0';    --ADC_V      *activat
        master_ADC_I_RST<='0';    --ADC_I      *activat
        master_DAC_RST<='0';      --DAC        *activat
        master_PID_RST<='1';      --PID        desactivat
        master_PWM_RST<='0';      --PWM        *activat
        master_PWM_READY<='0';    --PWM        NO hi ha valor d'entrada
        master_FIL_RST<='0';      --FILTRE    *activat
    end if;

-- Entre aquests dos estats, degut al disseny dels blocs hardware, es
-- realitzen les següents funcions:
-- 1) (CLK880) es mostra el valor de l'última lectura útil de
-- l'ADC_Vpiezo
-- 2) (CLK____) el filtre agafa aquest últim valor de l'ADC i seguidament
-- treu la mitjana dels 8 valors
-- 3) (CLK____) el comparador agafa el valor del filtre i el que té a
-- l'entrada positiva i treu el resultat
-- A partir d'aquí es controla el moment en què s'habilita el PID
-- 4) (CLK920) s'habilita el PID, agafant el valor d'error i signe que hi
-- ha a la sortida del comparador

    if Estat = st2_PID_ON then    -- S'ACTIVA EL PID: després dels passos
1, 2 i 3
        master_CON_RST<='0';      --CONSIG    activada
        master_ADC_V_RST<='0';    --ADC_V      activat
        master_ADC_I_RST<='0';    --ADC_I      activat
        master_DAC_RST<='0';      --DAC        activat
        master_PID_RST<='0';      --PID        *activat
        master_PWM_RST<='0';      --PWM        activat
        master_PWM_READY<='0';    --PWM        NO hi ha valor d'entrada
        master_FIL_RST<='0';      --FILTRE    activat
    end if;

```



```
-- Quan el PID dóna el senyal (master_PID_READY='1') de que s'han acabat
els càlculs (duren 100ns aprox), es transmet aquest pols al PWM
-- 5) (CLK___) s'avisat al PWM que ja pot llegir el valor del Duty
Cicle
```

```
if Estat = st3_PWM_DUTY then
  master_CON_RST<='0';    --CONSIG  activada
  master_ADC_V_RST<='0';  --ADC_V   activat
  master_ADC_I_RST<='0';  --ADC_I   activat
  master_DAC_RST<='0';    --DAC     activat
  master_PID_RST<='0';    --PID     activat
  master_PWM_RST<='0';    --PWM     activat
  master_PWM_READY<='1';  --PWM     *SÍ hi ha valor d'entrada
  master_FIL_RST<='0';    --FILTRE  activat
end if;
```

```
-- Quan el PWM ja hagi agafat el valor del DutyCicle, poc abans de que
acabi el període de commutació es farà un "reset general" de tots els
perifèrics que es puguin:
```

```
-- 6) (CLK970) es resetejin: Lectures ADC, FILTRE i PID.
```

```
if Estat = st4_RESET then
  master_CON_RST<='0';    --CONSIG  activada
  master_ADC_V_RST<='0';  --ADC_V   activat
  master_ADC_I_RST<='0';  --ADC_I   activat
  master_DAC_RST<='0';    --DAC     activat
  master_PID_RST<='1';    --PID     *desactivat
  master_PWM_RST<='0';    --PWM     activat
  master_PWM_READY<='0';  --PWM     *NO hi ha valor d'entrada
  master_FIL_RST<='1';    --FILTRE  *desactivat
end if;
```

```
--Un cop s'hagi resetejat tot, al cap de 3 clocks es tornarà a iniciar el
procés des de l'estat st1_ACTIVACIO, on es reactivaran els perifèrics
```

```
end process;
```

```
ASSIGNACIO_D_ESTAT_SEGUENT: process (Estat, piga_CLK)
```

```
begin
```

```
  Estat_seg <= Estat;  --default is to stay in current Estat
```

```
  case (Estat) is
```

```
    when st0_REPOS =>
```

```
      -- Quan on_off està a 1 (ON) i només si el comptador passa per '0',
es deixa passar al següent estat st1_ACTIVACIO
```

```
      if piga_on_off='1' then
```

```
        Estat_seg <= st1_ACTIVACIO;
```

```
      end if;
```

```
    when st1_ACTIVACIO =>
```

```
      -- El PID s'activa al CLK920, quan ja s'ha filtrat el senyal de
l'ADC i s'ha comparat
```

```
      if mtr_comptador = "1110011000" then
```

```
        Estat_seg <= st2_PID_ON;
```

```
      end if;
```

```
    when st2_PID_ON =>
```

```
      -- S'avisat al PWM de què pot agafar el nou valor quan l'entrada
quan master_PID_READY='1'
```

```
      if master_PID_READY = '1' then
```



```

        Estat_seg <= st3_PWM_DUTY;
    end if;

    when st3_PWM_DUTY =>
        -- Al CLK970 es fa un reset dels perifèrics que ho requereixin fins
        -- que torna a començar el període de commutació (CLK000)
        if mtr_comptador = "1111001010" then
            Estat_seg <= st4_RESET;
        end if;

        when st4_RESET =>
            -- A l'últim CLK999 es torna al primer estat, on es treuen tots els
            -- resets i es torna a començar el procés
            if mtr_comptador = "1111100111" then
                Estat_seg <= st1_ACTIVACIO;
            end if;

            when others =>
                Estat_seg <= st0_REPOS;
            end case;
        end process ASSIGNACIO_D_ESTAT_SEGUENT;

        -- SORTIDES DELS ENABLE SEMPRE A '1' --
        master_ADC_V_EN <= '1';
        master_ADC_I_EN <= '1';
        master_DAC_EN <= '1';
        master_PWM_EN <= '1';
        -----

end IMP;

```



## D.9. L'arxiu MHS de configuració de maquinari

```

PORT fpga_0_RS232_RX_pin = fpga_0_RS232_RX, DIR = I
PORT fpga_0_RS232_TX_pin = fpga_0_RS232_TX, DIR = O
PORT sys_clk_pin = dcm_clk_s, DIR = I, SIGIS = CLK, CLK_FREQ = 50000000
PORT sys_rst_pin = sys_rst_s, DIR = I, RST_POLARITY = 1, SIGIS = RST
PORT adc_16bit_0_Ipiezo_adc_nRD_pin = adc_16bit_0_Ipiezo_adc_nRD, DIR =
0
PORT adc_16bit_0_Ipiezo_adc_nCONVST_pin =
adc_16bit_0_Ipiezo_adc_nCONVST, DIR = 0
PORT adc_16bit_0_Ipiezo_adc_nCS_pin = adc_16bit_0_Ipiezo_adc_nCS, DIR =
0
PORT adc_16bit_0_Ipiezo_adc_nRESET_pin = adc_16bit_0_Ipiezo_adc_nRESET,
DIR = 0
PORT adc_16bit_0_Ipiezo_adc_BYTE_pin = adc_16bit_0_Ipiezo_adc_BYTE, DIR
= 0
PORT adc_16bit_0_Ipiezo_adc_BUSY_pin = adc_16bit_0_Ipiezo_adc_BUSY, DIR
= I
PORT adc_16bit_0_Ipiezo_adc_DB_pin = adc_16bit_0_Ipiezo_adc_DB, DIR = I,
VEC = [15:0]
PORT adc_16bit_1_Vpiezo_adc_nRD_pin = adc_16bit_1_Vpiezo_adc_nRD, DIR =
0
PORT adc_16bit_1_Vpiezo_adc_nCONVST_pin =
adc_16bit_1_Vpiezo_adc_nCONVST, DIR = 0
PORT adc_16bit_1_Vpiezo_adc_nCS_pin = adc_16bit_1_Vpiezo_adc_nCS, DIR =
0
PORT adc_16bit_1_Vpiezo_adc_nRESET_pin = adc_16bit_1_Vpiezo_adc_nRESET,
DIR = 0
PORT adc_16bit_1_Vpiezo_adc_BYTE_pin = adc_16bit_1_Vpiezo_adc_BYTE, DIR
= 0
PORT adc_16bit_1_Vpiezo_adc_BUSY_pin = adc_16bit_1_Vpiezo_adc_BUSY, DIR
= I
PORT adc_16bit_1_Vpiezo_adc_DB_pin = adc_16bit_1_Vpiezo_adc_DB, DIR = I,
VEC = [15:0]
PORT dac_12bit_0_dac_SCLK_pin = dac_12bit_0_dac_SCLK, DIR = 0
PORT dac_12bit_0_dac_nCS_pin = dac_12bit_0_dac_nCS, DIR = 0
PORT dac_12bit_0_dac_DIN_pin = dac_12bit_0_dac_DIN, DIR = 0
PORT dac_12bit_0_dac_FS_pin = dac_12bit_0_dac_FS, DIR = 0
PORT pwm_2ch_100khz_10bit_pwm1_PWM_pin = pwm_2ch_100khz_10bit_pwm1_PWM,
DIR = 0
PORT pwm_2ch_100khz_10bit_pwm2_PWM_pin = pwm_2ch_100khz_10bit_pwm2_PWM,
DIR = 0
PORT control_pid_0_pid_Kp_pin = control_pid_0_pid_Kp, DIR = I, VEC =
[9:0]
PORT pigu_unitat_sincronitzacio_0_pigu_on_off_pin =
pigu_unitat_sincronitzacio_0_pigu_on_off, DIR = I
PORT pigu_unitat_sincronitzacio_0_master_LEDEBBUG_pin =
pigu_unitat_sincronitzacio_0_master_LEDEBBUG, DIR = 0, VEC = [4:0]
PORT drivers_fault_reset_0_dri_nRESET_out_pin =
drivers_fault_reset_0_dri_nRESET_out, DIR = 0
PORT drivers_fault_reset_0_dri_RESET_in_pin =
drivers_fault_reset_0_dri_RESET_in, DIR = I
PORT drivers_fault_reset_0_dri_nFAULT_in_pin =
drivers_fault_reset_0_dri_nFAULT_in, DIR = I
PORT drivers_fault_reset_0_dri_FAULT_out_pin =
drivers_fault_reset_0_dri_FAULT_out, DIR = 0

```

BEGIN microblaze





```

PARAMETER INSTANCE = microblaze_0
PARAMETER HW_VER = 4.00.b
PARAMETER C_USE_FPU = 0
PARAMETER C_DEBUG_ENABLED = 1
PARAMETER C_NUMBER_OF_PC_BRK = 2
BUS_INTERFACE DLMB = dlmb
BUS_INTERFACE ILMB = ilmb
BUS_INTERFACE DOPB = mb_opb
BUS_INTERFACE IOPB = mb_opb
PORT DBG_CAPTURE = DBG_CAPTURE_s
PORT DBG_CLK = DBG_CLK_s
PORT DBG_REG_EN = DBG_REG_EN_s
PORT DBG_TDI = DBG_TDI_s
PORT DBG_TDO = DBG_TDO_s
PORT DBG_UPDATE = DBG_UPDATE_s
PORT Interrupt = Interrupt
END

```

```

BEGIN opb_v20
PARAMETER INSTANCE = mb_opb
PARAMETER HW_VER = 1.10.c
PARAMETER C_EXT_RESET_HIGH = 1
PORT SYS_Rst = sys_rst_s
PORT OPB_Clk = sys_clk_s
END

```

```

BEGIN opb_mdm
PARAMETER INSTANCE = debug_module
PARAMETER HW_VER = 2.00.a
PARAMETER C_MB_DBG_PORTS = 1
PARAMETER C_USE_UART = 1
PARAMETER C_UART_WIDTH = 8
PARAMETER C_BASEADDR = 0x41400000
PARAMETER C_HIGHADDR = 0x4140ffff
BUS_INTERFACE SOPB = mb_opb
PORT DBG_CAPTURE_0 = DBG_CAPTURE_s
PORT DBG_CLK_0 = DBG_CLK_s
PORT DBG_REG_EN_0 = DBG_REG_EN_s
PORT DBG_TDI_0 = DBG_TDI_s
PORT DBG_TDO_0 = DBG_TDO_s
PORT DBG_UPDATE_0 = DBG_UPDATE_s
END

```

```

BEGIN lmb_v10
PARAMETER INSTANCE = ilmb
PARAMETER HW_VER = 1.00.a
PARAMETER C_EXT_RESET_HIGH = 1
PORT SYS_Rst = sys_rst_s
PORT LMB_Clk = sys_clk_s
END

```

```

BEGIN lmb_v10
PARAMETER INSTANCE = dlmb
PARAMETER HW_VER = 1.00.a
PARAMETER C_EXT_RESET_HIGH = 1
PORT SYS_Rst = sys_rst_s
PORT LMB_Clk = sys_clk_s
END

```

```

BEGIN lmb_bram_if_cntlr

```



```

PARAMETER INSTANCE = dlmb_cntlr
PARAMETER HW_VER = 1.00.b
PARAMETER C_BASEADDR = 0x00000000
PARAMETER C_HIGHADDR = 0x00003fff
BUS_INTERFACE SLMB = dlmb
BUS_INTERFACE BRAM_PORT = dlmb_port
END

BEGIN lmb_bram_if_cntlr
PARAMETER INSTANCE = ilmb_cntlr
PARAMETER HW_VER = 1.00.b
PARAMETER C_BASEADDR = 0x00000000
PARAMETER C_HIGHADDR = 0x00003fff
BUS_INTERFACE SLMB = ilmb
BUS_INTERFACE BRAM_PORT = ilmb_port
END

BEGIN bram_block
PARAMETER INSTANCE = lmb_bram
PARAMETER HW_VER = 1.00.a
BUS_INTERFACE PORTA = ilmb_port
BUS_INTERFACE PORTB = dlmb_port
END

BEGIN opb_uartlite
PARAMETER INSTANCE = RS232
PARAMETER HW_VER = 1.00.b
PARAMETER C_BAUDRATE = 9600
PARAMETER C_DATA_BITS = 8
PARAMETER C_ODD_PARITY = 0
PARAMETER C_USE_PARITY = 0
PARAMETER C_CLK_FREQ = 50000000
PARAMETER C_BASEADDR = 0x40600000
PARAMETER C_HIGHADDR = 0x4060ffff
BUS_INTERFACE SOPB = mb_opb
PORT Interrupt = RS232_Interrupt
PORT RX = fpga_0_RS232_RX
PORT TX = fpga_0_RS232_TX
END

BEGIN opb_intc
PARAMETER INSTANCE = opb_intc_0
PARAMETER HW_VER = 1.00.c
PARAMETER C_BASEADDR = 0x41200000
PARAMETER C_HIGHADDR = 0x4120ffff
BUS_INTERFACE SOPB = mb_opb
PORT Irq = Interrupt
PORT Intr = RS232_Interrupt
END

BEGIN dcm_module
PARAMETER INSTANCE = dcm_0
PARAMETER HW_VER = 1.00.a
PARAMETER C_CLK0_BUF = TRUE
PARAMETER C_CLKIN_PERIOD = 20.000000
PARAMETER C_CLK_FEEDBACK = 1X
PARAMETER C_DLL_FREQUENCY_MODE = LOW
PARAMETER C_EXT_RESET_HIGH = 1
PARAMETER C_CLK2X_BUF = TRUE
PORT CLKIN = dcm_clk_s

```



```

PORT CLK0 = sys_clk_s
PORT CLKFB = sys_clk_s
PORT RST = net_gnd
PORT LOCKED = dcm_0_lock
PORT CLK2X = dcm_0_CLK2X
END

BEGIN adc_16bit
  PARAMETER INSTANCE = adc_16bit_0_Ipiezo
  PARAMETER HW_VER = 2.00.a
  PORT adc_CLK = dcm_0_CLK2X
  PORT adc_nRD = adc_16bit_0_Ipiezo_adc_nRD
  PORT adc_nCONVST = adc_16bit_0_Ipiezo_adc_nCONVST
  PORT adc_nCS = adc_16bit_0_Ipiezo_adc_nCS
  PORT adc_nRESET = adc_16bit_0_Ipiezo_adc_nRESET
  PORT adc_BYTE = adc_16bit_0_Ipiezo_adc_BYTE
  PORT adc_BUSY = adc_16bit_0_Ipiezo_adc_BUSY
  PORT adc_DB = adc_16bit_0_Ipiezo_adc_DB
  PORT adc_DATARDY = adc_16bit_0_Ipiezo_adc_DATARDY
  PORT adc_DBOUT = adc_16bit_0_Ipiezo_adc_DBOUT
  PORT adc_ENABLE = adc_16bit_0_Ipiezo_adc_ENABLE
  PORT adc_RESET = adc_16bit_0_Ipiezo_adc_RESET
END

BEGIN adc_16bit
  PARAMETER INSTANCE = adc_16bit_1_Vpiezo
  PARAMETER HW_VER = 2.00.a
  PORT adc_CLK = dcm_0_CLK2X
  PORT adc_nRD = adc_16bit_1_Vpiezo_adc_nRD
  PORT adc_nCONVST = adc_16bit_1_Vpiezo_adc_nCONVST
  PORT adc_nCS = adc_16bit_1_Vpiezo_adc_nCS
  PORT adc_nRESET = adc_16bit_1_Vpiezo_adc_nRESET
  PORT adc_BYTE = adc_16bit_1_Vpiezo_adc_BYTE
  PORT adc_BUSY = adc_16bit_1_Vpiezo_adc_BUSY
  PORT adc_DB = adc_16bit_1_Vpiezo_adc_DB
  PORT adc_DATARDY = adc_16bit_1_Vpiezo_adc_DATARDY
  PORT adc_DBOUT = adc_16bit_1_Vpiezo_adc_DBOUT
  PORT adc_ENABLE = adc_16bit_1_Vpiezo_adc_ENABLE
  PORT adc_RESET = adc_16bit_1_Vpiezo_adc_RESET
END

BEGIN dac_12bit
  PARAMETER INSTANCE = dac_12bit_0
  PARAMETER HW_VER = 1.00.a
  PORT dac_SCLK = dac_12bit_0_dac_SCLK
  PORT dac_nCS = dac_12bit_0_dac_nCS
  PORT dac_DIN = dac_12bit_0_dac_DIN
  PORT dac_FS = dac_12bit_0_dac_FS
  PORT dac_DATA_A = adc_16bit_0_Ipiezo_adc_DBOUT
  PORT dac_DATA_Ardy = adc_16bit_0_Ipiezo_adc_DATARDY
  PORT dac_DATA_B = adc_16bit_1_Vpiezo_adc_DBOUT
  PORT dac_DATA_Brdy = adc_16bit_1_Vpiezo_adc_DATARDY
  PORT dac_CLK = dcm_0_CLK2X
  PORT dac_DATA_C = filtre_adc_10val_0_fil_DATAOUT
  PORT dac_ENABLE = dac_12bit_0_dac_ENABLE
  PORT dac_RESET = dac_12bit_0_dac_RESET
END

BEGIN pwm_1ch_24400hz_12bit
  PARAMETER INSTANCE = pwm_2ch_100khz_10bit

```



```

PARAMETER HW_VER = 1.00.a
PORT pwm_CLK = dcm_0_CLK2X
PORT pwm1_PWM = pwm_2ch_100khz_10bit_pwm1_PWM
PORT pwm2_PWM = pwm_2ch_100khz_10bit_pwm2_PWM
PORT pwm1_PWM_actiu = pwm_2ch_100khz_10bit_pwm1_PWM_actiu
PORT pwm1_DUTY = pwm_2ch_100khz_10bit_pwm1_DUTY
PORT pwm2_PWM_actiu = pwm_2ch_100khz_10bit_pwm2_PWM_actiu
PORT pwm2_DUTY = pwm_2ch_100khz_10bit_pwm2_DUTY
PORT pwm_ENABLE = pwm_2ch_100khz_10bit_pwm_ENABLE
PORT pwm_RESET = pwm_2ch_100khz_10bit_pwm_RESET
PORT pwm_READY = pwm_2ch_100khz_10bit_pwm_READY
END

BEGIN control_pid
PARAMETER INSTANCE = control_pid_0
PARAMETER HW_VER = 1.00.a
PORT pid_CLK = dcm_0_CLK2X
PORT pid_pwm1_duty = pwm_2ch_100khz_10bit_pwm1_DUTY
PORT pid_pwm1_actiu = pwm_2ch_100khz_10bit_pwm1_PWM_actiu
PORT pid_pwm2_duty = pwm_2ch_100khz_10bit_pwm2_DUTY
PORT pid_pwm2_actiu = pwm_2ch_100khz_10bit_pwm2_PWM_actiu
PORT pid_error = comparador_16bit_0_comp_error
PORT pid_Kp = control_pid_0_pid_Kp
PORT pid_signe = comparador_16bit_0_comp_signe
PORT pid_RESET = control_pid_0_pid_RESET
PORT pid_READY = piga_unitat_sincronitzacio_0_master_PID_READY
END

BEGIN comparador_16bit
PARAMETER INSTANCE = comparador_16bit_0
PARAMETER HW_VER = 1.00.a
PORT comp_positiu = adc_16bit_0_Ipiezo_adc_DBOUT
PORT comp_negatiu = filtre_adc_10val_0_fil_DATAOUT
PORT comp_CLK = dcm_0_CLK2X
PORT comp_error = comparador_16bit_0_comp_error
PORT comp_signe = comparador_16bit_0_comp_signe
END

BEGIN filtre_adc_10val
PARAMETER INSTANCE = filtre_adc_10val_0
PARAMETER HW_VER = 1.00.a
PORT fil_DATAIN = adc_16bit_1_Vpiezo_adc_DBOUT
PORT fil_CLK = dcm_0_CLK2X
PORT fil_DATAOUT = filtre_adc_10val_0_fil_DATAOUT
PORT fil_READEN = adc_16bit_1_Vpiezo_adc_DATARDY
PORT fil_RESET = filtre_adc_10val_0_fil_RESET
END

BEGIN piga_unitat_sincronitzacio
PARAMETER INSTANCE = piga_unitat_sincronitzacio_0
PARAMETER HW_VER = 1.00.a
PORT piga_on_off = piga_unitat_sincronitzacio_0_piga_on_off
PORT piga_CLK = dcm_0_CLK2X
PORT master_ADC_I_EN = adc_16bit_0_Ipiezo_adc_ENABLE
PORT master_ADC_I_RST = adc_16bit_0_Ipiezo_adc_RESET
PORT master_ADC_V_EN = adc_16bit_1_Vpiezo_adc_ENABLE
PORT master_ADC_V_RST = adc_16bit_1_Vpiezo_adc_RESET
PORT master_DAC_EN = dac_12bit_0_dac_ENABLE
PORT master_DAC_RST = dac_12bit_0_dac_RESET
PORT master_PWM_EN = pwm_2ch_100khz_10bit_pwm_ENABLE

```



```
PORT master_PWM_RST = pwm_2ch_100khz_10bit_pwm_RESET
PORT master_PWM_READY = pwm_2ch_100khz_10bit_pwm_READY
PORT master_PID_RST = control_pid_0_pid_RESET
PORT master_FIL_RST = filtre_adc_10val_0_fil_RESET
PORT master_LEDEBUB = pigu_unitat_sincronitzacio_0_master_LEDEBUB
PORT master_PID_READY = pigu_unitat_sincronitzacio_0_master_PID_READY
END

BEGIN drivers_fault_reset
  PARAMETER INSTANCE = drivers_fault_reset_0
  PARAMETER HW_VER = 1.00.a
  PORT dri_nRESET_out = drivers_fault_reset_0_dri_nRESET_out
  PORT dri_RESET_in = drivers_fault_reset_0_dri_RESET_in
  PORT dri_nFAULT_in = drivers_fault_reset_0_dri_nFAULT_in
  PORT dri_FAULT_out = drivers_fault_reset_0_dri_FAULT_out
END
```



## D.10. L'arxiu UCF de configuració dels pins d'entrada/sortida

```

Net sys_clk_pin LOC=T9;
Net sys_rst_pin LOC=l14;
## System level constraints
Net sys_clk_pin TNM_NET = sys_clk_pin;
TIMESPEC TS_sys_clk_pin = PERIOD sys_clk_pin 20000 ps;
Net sys_rst_pin TIG;

## IO Devices constraints

#### Module RS232 constraints

Net fpga_0_RS232_RX_pin LOC=t13;
Net fpga_0_RS232_TX_pin LOC=r13;

## PERIFÈRIC: adc_16bit_0_Ipiezo

# PINS DE CONTROL
NET adc_16bit_0_Ipiezo_adc_nRD_pin LOC=n3; # A1_8
NET adc_16bit_0_Ipiezo_adc_nCONVST_pin LOC=m4; # A1_10
NET adc_16bit_0_Ipiezo_adc_nCS_pin LOC=n8; # A1_4
NET adc_16bit_0_Ipiezo_adc_nRESET_pin LOC=l5; # A1_6
NET adc_16bit_0_Ipiezo_adc_BYTE_pin LOC=m3; # A1_12
NET adc_16bit_0_Ipiezo_adc_BUSY_pin LOC=l4; # A1_14

# PINS DE DADES: 16bit
NET adc_16bit_0_Ipiezo_adc_DB_pin<0> LOC=n7; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<1> LOC=t8; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<2> LOC=r6; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<3> LOC=t5; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<4> LOC=r5; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<5> LOC=c2; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<6> LOC=c1; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<7> LOC=b1; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<8> LOC=f3; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<9> LOC=e3; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<10> LOC=g5; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<11> LOC=h4; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<12> LOC=j3; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<13> LOC=k5; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<14> LOC=l3; # A1_
NET adc_16bit_0_Ipiezo_adc_DB_pin<15> LOC=g3; # A1_

## PERIFÈRIC: adc_16bit_1_Vpiezo

# PINS DE CONTROL
NET adc_16bit_1_Vpiezo_adc_nRD_pin LOC=c6; # A1_
NET adc_16bit_1_Vpiezo_adc_nCONVST_pin LOC=c7; # A1_
NET adc_16bit_1_Vpiezo_adc_nCS_pin LOC=e6; # A1_
NET adc_16bit_1_Vpiezo_adc_nRESET_pin LOC=c5; # A1_
NET adc_16bit_1_Vpiezo_adc_BYTE_pin LOC=c8; # A1_
NET adc_16bit_1_Vpiezo_adc_BUSY_pin LOC=c9; # A1_

# PINS DE DADES: 16bit
NET adc_16bit_1_Vpiezo_adc_DB_pin<0> LOC=d5; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<1> LOC=d6; # A1_

```



```

NET adc_16bit_1_Vpiezo_adc_DB_pin<2> LOC=e7; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<3> LOC=d7; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<4> LOC=d8; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<5> LOC=d10; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<6> LOC=b4; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<7> LOC=b5; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<8> LOC=b6; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<9> LOC=a7; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<10> LOC=a8; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<11> LOC=b10; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<12> LOC=b11; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<13> LOC=a12; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<14> LOC=a13; # A1_
NET adc_16bit_1_Vpiezo_adc_DB_pin<15> LOC=a3; # A1_

## PERIFÈRIC: dac_12bit_0

NET dac_12bit_0_dac_SCLK_pin LOC=a10; # A
NET dac_12bit_0_dac_nCS_pin LOC=a9; # A
NET dac_12bit_0_dac_DIN_pin LOC=b12; # A
NET dac_12bit_0_dac_FS_pin LOC=b13; # A

## PERIFÈRIC: pwm_2ch_100khz_10bit

NET pwm_2ch_100khz_10bit_pwm1_PWM_pin LOC=a5; # A2_20
NET pwm_2ch_100khz_10bit_pwm2_PWM_pin LOC=b7; # A2_22

## PERIFÈRIC: control_pid
# PINS DE DADES: 10bit per entrada de constant proporcional
NET control_pid_0_pid_Kp_pin<0> LOC=e11; # SWext
e11 # BTN1
NET control_pid_0_pid_Kp_pin<1> LOC=b16; # SWext
b16 # BTN2
NET control_pid_0_pid_Kp_pin<2> LOC=c16; # SWext
c16 # BTN3
NET control_pid_0_pid_Kp_pin<3> LOC=k13; # SW1
# SWext d16
NET control_pid_0_pid_Kp_pin<4> LOC=k14; # SW2
# SWext e16
NET control_pid_0_pid_Kp_pin<5> LOC=j13; # SW3
# SWext g15
NET control_pid_0_pid_Kp_pin<6> LOC=j14; # SW4
# SWext h15
NET control_pid_0_pid_Kp_pin<7> LOC=h13; # SW5
# SWext j16
NET control_pid_0_pid_Kp_pin<8> LOC=h14; # SW6
# SWext k15
NET control_pid_0_pid_Kp_pin<9> LOC=g12; # SW7
# SWext m11

## PERIFÈRIC: piga_unitat_sincronització
#Pin d'activació / desactivació del sistema
NET piga_unitat_sincronitzacio_0_piga_on_off_pin LOC=f12;
NET piga_unitat_sincronitzacio_0_master_LEDEDEBUG_pin<0> LOC=k12; #
LD0
NET piga_unitat_sincronitzacio_0_master_LEDEDEBUG_pin<1> LOC=p14; #
LD1
NET piga_unitat_sincronitzacio_0_master_LEDEDEBUG_pin<2> LOC=l12; #
LD2

```



```
LD3      NET piga_unitat_sincronitzacio_0_master_LEDEBUG_pin<3> LOC=n14;  #
LD4      NET piga_unitat_sincronitzacio_0_master_LEDEBUG_pin<4> LOC=p13;  #

      NET drivers_fault_reset_0_dri_nRESET_out_pin LOC=b8;                # A2_24
#LD6 P12;(temporal)
      NET drivers_fault_reset_0_dri_RESET_in_pin   LOC=m13;                # BTN0
      NET drivers_fault_reset_0_dri_nFAULT_in_pin  LOC=a4;                 # A2_18
      NET drivers_fault_reset_0_dri_FAULT_out_pin  LOC=p11;                # LD7
```





## Annex E

### E. Treballs realitzats anteriorment

En el Departament d'Energia Elèctrica ja hi ha tingut experiències prèvies en el treball amb piezoelèctrics. En un projecte anterior es va treballar en la vessant més teòrica dels piezoelèctrics, la seva modelització i control, així com l'estudi de les no linealitats i els cicles d'histeresi a les que s'ha d'adaptar el control. En aquell cas, però, tot el sistema de control i la gestió de les lectures de corrents i tensions estava centralitzada per un DSP. L'èxit d'aquest projecte es veu reflectit en la tesi doctoral d'un dels membres del CITCEA i en les tres publicacions que en van sortir.

- **O. Gomis, F. Ikhouane, P. Castell, J. Bergas**, "Modeling and validation of a piezoelectric actuator" *Electrical Engineering*, 89(8), pp. 629-638, 2007.
- **O. Gomis, S. Galceran, A. Sudria, D. Montesinos and F. Campanile**, "Linear electromagnetic actuator modeling for optimization of mechatronic and adaptronic systems", *Mechatronics* 17 pg. 153-163, 2007
- **O. Gomis, D. Montesinos, S. Galceran and J. Rull**, "Sliding mode control based buck-boost bidirectional converter to drive piezoelectric loads", *Electrical Engineering* 90 pg. 115-125, 2007

A part d'aquestes tres publicacions, recentment s'ha presentat la següent ponència en el Congrés EPE-PEMC 2008 realitzat a Polònia, sobre electrònica de potència i control de moviment: "*Design and control of a half-bridge converter to drive piezoelectric actuators*".

A més, aquest projecte va tenir el suport del Ministeri d'Educació i Ciència, ja que li va ser assignat:

- CHIMPFA Análisis, identificación y control de sistemas mecatrónicos con histéresis y/o fricción DPI 2005 - 08668 - C03 - 03



El fet d'obrir un nou projecte que parteixi des de l'experiència anterior d'aquest altre (projecte CHIMPFA) és degut a les limitacions que presentava el fet d'haver fet l'etapa de control amb un DSP: no es podia tenir un control total del temps d'execució de l'algorisme i la capacitat de realitzar diferents tasques alhora és molt més limitada que en els FPGAs. A més, en els DSPs l'usuari només pot utilitzar les eines que vénen donades pel fabricant i en els FPGAs es pot crear el seu propi sistema a mida per tal d'optimitzar-lo al màxim consumint només els recursos necessaris.

Un projecte industrial relacionat amb els piezoelèctrics on ha participat el CITCEA conjuntament amb l'empresa Drop Digital Printing d'Igualada, va ser el desenvolupament de tot el control del conjunt del procés d'impressió per a l'impressora de gran format Aiona 8-16/1600 d'impressió sobre teixit. El projecte abraçava el processament de l'arxiu de la imatge, el control del moviment del capçal i l'excitació dels piezoelèctrics que deixen anar les gotes de tinta sobre la tela. En aquesta experiència es van obtenir molt bons resultats tan en la qualitat d'impressió, en el volum de vendes que està assolint el fabricant de les impressores com en el nivell d'innovació assolit, ja que l'impressora desenvolupada és considerada a escala mundial com un salt de qualitat cap a la impressió de gran format.

Per aquest projecte va ser adjudicat un ajut (PTR95.0838.OP) de la Comisión Interministerial de Ciencia y Tecnología en el marc de les ajudes PETRI: "Proyecto de estímulo a la transferencia de resultados de investigación" amb el títol del projecte: *"Diseño del sistema de automatización y de control de una máquina de impresión digital de gran formato para la estampación directa de tejidos sintéticos con tecnología de secado por rayos ultravioletas"*. També es va rebre una *Menció Especial Honorífica* pel 6è Premi de Transferència Tecnològica (2006) atorgat pel consell social de la UPC. El jurat va valorar el caràcter innovador del projecte, i el seu impacte a un sector com el tèxtil tan afectat per la globalització i la competència exterior.

Va ser durant aquest projecte on es va veure la necessitat de tenir un major control sobre els piezoelèctrics que hi ha en els capçals d'impressió: es necessitava poder tenir un major control sobre les gotes que es deixaven anar sobre la tela. D'aquí va sortir la necessitat de seguir treballant en el camp dels piezoelèctrics per arribar a tenir un control quasi absolut sobre ells amb l'objectiu de poder desenvolupar una nova generació de productes amb un grau d'innovació difícilment superable. No cal dir que, pel cas de l'empresa d'impressió sobre tela per la qual es va treballar, disposar d'aquesta tecnologia suposaria un increment substancial del valor afegit dels seus productes.

Durant la realització d'aquest projecte final de carrera s'ha presentat una sol·licitud per rebre els ajuts que concedia el CIDEM per als projectes de valorització de la tecnologia per implementar aquesta tecnologia en el projecte de la impressora industrial



## Bibliografia

### Referències en el text

- [1] MASSACHUSETTS INSTITUTE OF TECHNOLOGY [web]. *MIT duo sees people-powered "Crowd Farm": Plan would harvest energy of human movement*. MIT NEWS: 25 de juliol de 2007. [Consulta: octubre de 2008]. Disponible a: <<http://web.mit.edu/newsoffice/2007/crowdfarm-0725.html>>
- [2] PIEZO SYSTEMS INC. [web]. *Introduction to piezo transducers*. [Consulta: octubre de 2008]. Disponible a: <<http://www.piezo.com/tech2intropiezotrans.html>>
- [3] Gomis, O, *Design, modelling, identification and control of mechatronic systems*. (Galceran, S.; Ikhoulane, F.). Tesi doctoral, UPC, Departament d'Enginyeria Elèctrica, 2007. [Catàleg de les Biblioteques de la UPC, recurs electrònic]. p. 57-80
- [4] Physik Instrumente [web]. *Tutorial: Piezoelectrics in Nanopositioning, Designing with Piezoelectric Actuators*. [Consulta: octubre de 2008]. Disponible a: <[http://www.physikinstrumente.com/en/products/piezo\\_tutorial.php](http://www.physikinstrumente.com/en/products/piezo_tutorial.php)>
- [5] IEEE. Ultrasonics, Ferroelectrics, and Frequency Control Society. *IEEE Standard on Piezoelectricity*. ANSI/IEEE Std. 176-1987, 1987.
- [6] Gomis, O.; Montesinos, D.; Galceran, S.; Sudrià, A. A buck-boost bidirectional converter to drive piezoelectric actuators. Power Electronics and Applications 2007, European Conference on. 2-5 Sept. 2007 Page(s):1 – 7. Disponible a: <<http://ieeexplore.ieee.org>>. 10.1109/EPE.2007.4417319
- [7] O. Gomis, F. Ikhoulane, P. Castell, J. Bergas. *Modeling and validation of a piezoelectric actuator*. *Electrical Engineering*, 89(8), pp. 629-638, 2007.
- [8] Sudrià, A., Bergas, J.; Galceran, S., Rull, J. *Metodología de síntesis de convertidores estáticos*. XI Reunión de Grupos de Investigación en Ingeniería Eléctrica. Badajoz 2001
- [9] O. Gomis, D. Montesinos, S. Galceran and J. Rull. *Sliding mode control based buck-boost bidirectional converter to drive piezoelectric loads*, *Electrical Engineering* 90 p. 115-125, 2007
- [10] Micro-Epsilon. *Instruction Manual OptoNCDT 1607/1627*. Alemanya.
- [11] Tore, P., Robbins, W., Mohan, Ned; Undeland M. *Power Electronics: Converters, Applications and Design*. John Wiley & Sons, INC., 1976.



### Altres referències bibliogràfiques

Proakis, John G., Manolakis, D. G. *Digital signal processing. Principles, algorithms and applications*. 3a edició. Prentice-Hall International INC. 1996

Daniel W. Hart. *Introducción a la Electrónica de Potencia*. Pearson, Prentice-Hall, 2001.

Oriol Gomis-Bellmunt, Fayçal Ikhoulane, Daniel Montesinos-Miracle. Control of Bouc-Wen hysteretic systems: Application to a piezoelectric actuator. A: *Proceedings EPE-PEMC2008*. IEEE, 2008, p. 1-6.

Oriol Gomis-Bellmunt, Fayçal Ikhoulane, Daniel Montesinos-Miracle. Control of Bouc-Wen hysteretic systems: Application to a piezoelectric actuator. A: *Abstracts EPE-PEMC2008*. PTETiS, 2008, p. 29-29.

Gomis, O.; Galceran, S.; Sudrià, A.; Montesinos, D.; Flavio, L.. Nuevo motor lineal basado en módulos piezoeléctricos flexibles.. A: *XV Reunión de Grupos de Investigación de Ingeniería Eléctrica*.. Asociación Española para el Desarrollo de la Ingeniería Eléctrica., 2005.

Apunts i coneixements transmesos en les assignatures de Convertidors, Introducció a l'electrònica, Electrònica, Anàlisi de senyals,

*Gran Enciclopedia Larousse*. Barcelona, Edició d'abril de 1979. Editorial Planeta

Servei de llengua i terminologia de la UPC: [www.upc.edu/slt](http://www.upc.edu/slt)

Engineering Fundamentals (EFUNDA): <http://www.efunda.com/materials/piezo/>

Piezo Systems INC.: <http://www.piezo.com/tech4history.html>

